

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 3月 2日

出 願 番 号

Application Number:

平成11年特許願第053424号

出 願 人

Applicant (s):

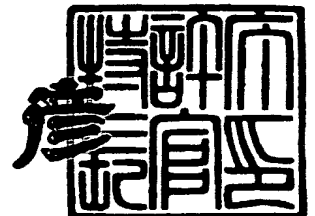
株式会社半導体エネルギー研究所



2000年 1月 7日

特許庁長官  
Commissioner,  
Patent Office

近 藤 隆 彦



出証番号 出証特平11-3091809

【書類名】 特許願

【整理番号】 P004113-01

【提出日】 平成11年 3月 2日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 村上 智史

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 納 光明

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 田中 幸夫

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】明細書

【発明の名称】 半導体装置およびその作製方法

【特許請求の範囲】

【請求項 1】

有機樹脂膜上に第 1 の電極と、該第 1 の電極の表面の少なくとも一部に酸化膜と、該酸化膜の少なくとも一部を覆って第 2 の電極とからなる容量を備えていることを特徴とする半導体装置。

【請求項 2】

有機樹脂膜上に無機膜と、該無機膜上に第 1 の電極と、該第 1 の電極の表面の少なくとも一部に酸化膜と、該酸化膜の少なくとも一部を覆って第 2 の電極とからなる容量を備えていることを特徴とする半導体装置。

【請求項 3】

請求項 2 において、前記無機膜はスパッタ法により形成されたことを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一において、前記第 1 の電極は陽極酸化可能な材料からなることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一において、前記第 1 の電極の端部における酸化膜の廻り込み量  $X$  が  $0.5 \mu\text{m}$  以下であることを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至 4 のいずれか一において、前記第 1 の電極の端部における酸化膜の廻り込み量  $X$  が  $0.1 \mu\text{m}$  以下であることを特徴とする半導体装置。

【請求項 7】

基板上に画素マトリクス回路を少なくとも含む半導体装置において、前記画素マトリクス回路の保持容量は、有機樹脂膜の上に設けられた遮蔽膜と、該遮蔽膜の酸化膜と、該酸化膜の上に設けられた画素電極とで形成されていることを特徴とする半導体装置。

【請求項 8】

同一基板上に画素マトリクス回路とドライバー回路とを少なくとも含む半導体装置において、

前記ドライバー回路を形成する n チャンネル型 T F T の L D D 領域は、少なくとも一部または全部が、該 n チャンネル型 T F T のゲート配線と重なるように配置され、

前記画素マトリクス回路を形成する画素 T F T の L D D 領域は、該画素 T F T のゲート配線と重ならないように配置され、

前記画素マトリクス回路の保持容量は有機樹脂膜の上に設けられた遮蔽膜と、該遮蔽膜の酸化膜と、画素電極とで形成されており、

前記ドライバー回路を形成する n チャンネル型 T F T の L D D 領域には、前記画素 T F T の L D D 領域よりも高い濃度で n 型を付与する不純物元素が含まれることを特徴とする半導体装置。

【請求項 9】

請求項 7 または請求項 8 において、前記遮蔽膜は陽極酸化可能な材料からなることを特徴とする半導体装置。

【請求項 10】

請求項 7 乃至 9 のいずれか一において、前記遮蔽膜の端部において、酸化膜の廻り込み量 X が  $0.5 \mu\text{m}$  以下であることを特徴とする半導体装置。

【請求項 11】

請求項 7 乃至 10 のいずれか一において、前記画素電極は透明導電膜からなることを特徴とする半導体装置。

【請求項 12】

請求項 7 乃至 10 のいずれか一において、前記画素電極は反射性を有する材料からなることを特徴とする半導体装置。

【請求項 13】

請求項 1 乃至 12 のいずれか一に記載された半導体装置とは、アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 E L ディスプレイまたはアクティブマトリクス型 E C ディスプレイであることを特徴とする半導体装置。

【請求項 14】

請求項 1 乃至 12 のいずれかに記載された半導体装置を表示媒体として搭載したことを特徴とする半導体装置。

【請求項 15】

請求項 14 に記載された半導体装置とは、ビデオカメラ、デジタルカメラ、プロジェクター、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末であることを特徴とする半導体装置。

【請求項 16】

TFT の上方に樹脂膜を形成する工程と、  
前記樹脂膜上に第 1 の電極を形成する工程と、  
前記第 1 の電極の酸化膜を形成する工程と、  
前記酸化膜を少なくとも一部を覆って第 2 の電極を形成する工程とを有し、  
容量が前記第 1 の電極と、前記第 1 の電極の酸化膜と、前記第 2 の電極とで形成されることを特徴とする半導体装置の作製方法。

【請求項 17】

TFT の上方に樹脂膜を形成する工程と、  
前記樹脂膜上に無機膜を形成する工程と、  
前記無機膜上に第 1 の電極を形成する工程と、  
前記第 1 の電極の酸化膜を形成する工程と、  
前記酸化膜を少なくとも一部を覆って第 2 の電極を形成する工程とを有し、  
容量が前記第 1 の電極と、前記第 1 の電極の酸化膜と、前記第 2 の電極とで形成されることを特徴とする半導体装置の作製方法。

【請求項 18】

請求項 17 において、前記樹脂膜上に無機膜を形成する工程はスパッタ法により形成することを特徴とする半導体装置の作製方法。

【請求項 19】

請求項 16 乃至請求項 18 のいずれかにおいて、前記電極を陽極酸化する工程は、印加電圧／給電時間が  $11\text{ V/min}$  以上であることを特徴とする半導体装置の作製方法。

【請求項 20】

同一基板上に画素マトリクス回路とドライバー回路とを少なくとも含む半導体装置の作製方法において、

前記ドライバー回路を形成するnチャネル型TFTの活性層に、チャネル形成領域、ソース領域、ドレイン領域および該ソース領域またはドレイン領域とチャネル形成領域とに挟まれたLDD領域を形成する工程と、

前記ドライバー回路を形成するpチャネル型TFTの活性層に、チャネル形成領域、ソース領域およびドレイン領域を形成する工程と、

前記画素マトリクス回路を形成する画素TFTの活性層に、チャネル形成領域、ソース領域、ドレイン領域および該ソース領域またはドレイン領域とチャネル形成領域とに挟まれたLDD領域を形成する工程と、

前記ドライバー回路を形成するnチャネル型TFT及びpチャネル型TFT並びに前記画素マトリクス回路を形成する画素TFTの上方に有機樹脂膜でなる層間絶縁膜を形成する工程と、

前記層間絶縁膜上に遮蔽膜を形成する工程と、

前記遮蔽膜の表面に該遮蔽膜の酸化膜を形成する工程と、

前記遮蔽膜の酸化膜に接し、且つ前記遮蔽膜に重なるようにして画素電極を形成する工程と、

を有し、

前記ドライバー回路を形成するnチャネル型TFTのLDD領域は、少なくとも一部または全部が、該nチャネル型TFTのゲート配線に重なって配置され、

前記画素TFTのLDD領域は、該画素TFTのゲート配線に重ならないように配置され、

前記ドライバー回路を形成するnチャネル型TFTのLDD領域には、前記画素TFTのLDD領域よりも高い濃度でn型を付与する不純物元素が添加されることを特徴とする半導体装置の作製方法。

#### 【請求項 21】

請求項 20 において、前記遮蔽膜の酸化膜を形成する工程は、印加電圧／給電時間が  $11\text{ V/min}$  以上である陽極酸化工程であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本願発明は薄膜トランジスタ（以下、T F Tという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0 0 0 2】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0 0 0 3】

【従来の技術】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百 n m程度）を用いて薄膜トランジスタ（T F T）を構成する技術が注目されている。薄膜トランジスタはI Cや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0 0 0 4】

例えば、液晶表示装置においてはマトリクス状に配列された画素マトリクス回路を個々に制御する画素マトリクス回路、画素マトリクス回路を制御するドライバー回路、さらに外部からのデータ信号を処理するロジック回路（プロセッサ回路やメモリ回路など）等のあらゆる電気回路にT F Tを応用する試みがなされている。

【0 0 0 5】

従来、上記T F Tの配線材料としては、A l、T a、T i等の導電材料が用いられている。そして、陽極酸化工程によって上記導電材料からなる電極表面に高抵抗を有する陽極酸化膜を形成して、電極の表面を保護し、半導体装置の電極間を絶縁する方法が知られている。

【0 0 0 6】



従来の陽極酸化の方法は、まず、絶縁表面上に形成された陽極酸化可能な材料からなる電極に対して、直流電源の陽極を接続し、白金からなる陰極電極を直流電極の陰極に接続し、電極及び陰極電極を陽極酸化液中に浸し、両者間に直流電圧を印加して陽極酸化が行われていた。

## 【0007】

一般的には陽極と陰極間に流れる電流及び電圧は以下に示すように変化させる。

## 【0008】

図26に示すように、従来は、まず任意の期間において電流値が一定になるように制御した（この状態を定電流状態と呼ぶ）。すると、金属配線上に陽極酸化膜が形成されはじめ、膜厚が厚くなるに従って、電極の抵抗が高くなり、電圧値が次第に増加する。なお、定電流状態において、陽極酸化膜の膜厚は、電圧値と比例する。

## 【0009】

次に、任意の電圧値（到達電圧）に到達したところで、今度は電圧が一定になるように制御した（この状態を定電圧状態と呼ぶ）。すると、電流量は下がり始め、数十分間その電圧値を維持し、その後、陽極酸化工程を終了させていた。

## 【0010】

このように、従来では膜質および均一性の優れた陽極酸化膜を形成するために、定電流状態から定電圧状態に移行させる工程を用いていた。

## 【0011】

## 【発明が解決しようとする課題】

しかし、陽極酸化可能な材料と密着性の悪い材料膜上に陽極酸化可能な材料からなる配線を形成した後、従来の陽極酸化を行った場合、配線の剥がれ、破壊等の問題が生じていた。特に、半導体装置の微細化、多層化に伴い、平坦性の優れた層間絶縁膜として近年用いられるようになってきた樹脂膜は、陽極酸化可能な材料と密着性が不良であり膜剥がれが生じる場合が多かった。図27には、その一例としてポリイミド樹脂膜4101上にアルミニウムからなる電極4102を形成した後、従来の方法を用いて陽極酸化を行った場合、膜剥がれが生じた例を

示す。

【0 0 1 2】

図 2 7 に示した膜剥がれは、特に電極 4 1 0 2 の端部において、均一な陽極酸化が行われず陽極酸化工程において、溶液が電極 4 1 0 2 の端部下部に廻り込み（しみ込み）、陽極酸化膜 4 1 0 3 が電極 4 1 0 2 の端部下部に形成されることが原因の一つと考えられる。この廻り込み量（しみ込み量） $X$ が大きければ大きいほど膜剥がれが顕著に見られた。本明細書において、電極 4 1 0 2 が樹脂膜と接している箇所から、陽極酸化膜 4 1 0 3 の側面までの距離を  $X_a$  とし、電極側面に形成された陽極酸化膜 4 1 0 3 の膜厚を  $X_b$  とした場合、 $X_a$  から  $X_b$  を差し引いた距離を「廻り込み量  $X$ 」と定義している。図 2 7 においては、廻り込み量  $X = X_a - X_b = \text{約 } 0.6 \mu\text{m} \sim 0.7 \mu\text{m}$  程度となっている。

【0 0 1 3】

そこで、密着性の悪い材料膜上に設けられた電極に陽極酸化を行っても膜剥がれ等が生じない新規な陽極酸化工程が要求されていた。

【0 0 1 4】

本願発明は、その様な要求に答えるものであり、AM-LCD に代表される電気光学装置の各回路の配線として、本願発明の新規な陽極酸化工程により膜厚が均一な陽極酸化膜を表面に有する電極を用い、高い信頼性を有する電気光学装置を提供することを課題とする。

【0 0 1 5】

特に、樹脂上に設けられた電極の陽極酸化膜を誘電体とする容量を有する電気光学装置を提供することを課題とする。

【0 0 1 6】

【課題を解決するための手段】

本明細書で開示する発明の構成は、

有機樹脂膜上に第 1 の電極と、該第 1 の電極の表面の少なくとも一部に酸化膜と、該酸化膜の少なくとも一部を覆って第 2 の電極とからなる容量を備えていることを特徴とする半導体装置である。

【0 0 1 7】

また、他の発明の構成は、

有機樹脂膜上に無機膜と、該無機膜上に第 1 の電極と、該第 1 の電極の表面の少なくとも一部に酸化膜と、該酸化膜の少なくとも一部を覆って第 2 の電極とからなる容量を備えていることを特徴とする半導体装置である。

【 0 0 1 8 】

上記構成において、前記無機膜はスパッタ法により形成されたことを特徴としている。

【 0 0 1 9 】

また、上記各構成において、前記第 1 の電極は陽極酸化可能な材料からなることを特徴としている。

【 0 0 2 0 】

また、上記各構成において、前記第 1 の電極の端部における酸化膜の廻り込み量  $X$  が  $0.5 \mu\text{m}$  以下であることを特徴としている。

【 0 0 2 1 】

好ましくは、前記第 1 の電極の端部における酸化膜の廻り込み量  $X$  が  $0.1 \mu\text{m}$  以下であるとよい。

【 0 0 2 2 】

また、他の発明の構成は、

基板上に画素マトリクス回路を少なくとも含む半導体装置において、前記画素マトリクス回路の保持容量は、有機樹脂膜の上に設けられた遮蔽膜と、該遮蔽膜の酸化膜と、該酸化膜の上に設けられた画素電極とで形成されていることを特徴とする半導体装置である。

【 0 0 2 3 】

また、他の発明の構成は、

同一基板上に画素マトリクス回路とドライバー回路とを少なくとも含む半導体装置において、

前記ドライバー回路を形成する  $n$  チャネル型 TFT の LDD 領域は、少なくとも一部または全部が、該  $n$  チャネル型 TFT のゲート配線と重なるように配置され、

前記画素マトリクス回路を形成する画素 T F T の L D D 領域は、該画素 T F T のゲート配線と重ならないように配置され、

前記画素マトリクス回路の保持容量は有機樹脂膜の上に設けられた遮蔽膜と、該遮蔽膜の酸化膜と、画素電極とで形成されており、

前記ドライバー回路を形成する n チャネル型 T F T の L D D 領域には、前記画素 T F T の L D D 領域よりも高い濃度で n 型を付与する不純物元素が含まれることを特徴とする半導体装置である。

【 0 0 2 4 】

また、上記構成において、前記遮蔽膜は陽極酸化可能な材料からなることを特徴としている。

【 0 0 2 5 】

また、好ましくは前記遮蔽膜の端部において、酸化膜の廻り込み量 X が  $0.5 \mu\text{m}$  以下であるとよい。

【 0 0 2 6 】

また、上記各構成において、前記画素電極は透明導電膜からなることを特徴としている。

【 0 0 2 7 】

また、上記各構成において、前記画素電極は反射性を有する材料からなることを特徴とする半導体装置。

【 0 0 2 8 】

また、上記構造を実現するための発明の構成は、  
T F T の上方に樹脂膜を形成する工程と、  
前記樹脂膜上に第 1 の電極を形成する工程と、  
前記第 1 の電極の酸化膜を形成する工程と、  
前記酸化膜を少なくとも一部を覆って第 2 の電極を形成する工程とを有し、  
容量が前記第 1 の電極と、前記第 1 の電極の酸化膜と、前記第 2 の電極とで形成されることを特徴とする半導体装置の作製方法である。

【 0 0 2 9 】

また、他の発明の構成は、

T F T の上方に樹脂膜を形成する工程と、  
 前記樹脂膜上に無機膜を形成する工程と、  
 前記無機膜上に第 1 の電極を形成する工程と、  
 前記第 1 の電極の酸化膜を形成する工程と、  
 前記酸化膜を少なくとも一部を覆って第 2 の電極を形成する工程とを有し、  
 容量が前記第 1 の電極と、前記第 1 の電極の酸化膜と、前記第 2 の電極とで形成されることを特徴とする半導体装置の作製方法である。

【 0 0 3 0 】

また、上記構成において、前記樹脂膜上に無機膜を形成する工程はスパッタ法により形成することを特徴としている。

【 0 0 3 1 】

また、上記各構成において、前記電極を陽極酸化する工程は、印加電圧／給電時間が  $11\text{ V/min}$  以上であることを特徴としている。

【 0 0 3 2 】

また、他の発明の構成は、  
 同一基板上に画素マトリクス回路とドライバー回路とを少なくとも含む半導体装置の作製方法において、  
 前記ドライバー回路を形成する n チャンネル型 T F T の活性層に、チャンネル形成領域、ソース領域、ドレイン領域および該ソース領域またはドレイン領域とチャンネル形成領域とに挟まれた L D D 領域を形成する工程と、  
 前記ドライバー回路を形成する p チャンネル型 T F T の活性層に、チャンネル形成領域、ソース領域およびドレイン領域を形成する工程と、  
 前記画素マトリクス回路を形成する画素 T F T の活性層に、チャンネル形成領域、ソース領域、ドレイン領域および該ソース領域またはドレイン領域とチャンネル形成領域とに挟まれた L D D 領域を形成する工程と、  
 前記ドライバー回路を形成する n チャンネル型 T F T 及び p チャンネル型 T F T 並びに前記画素マトリクス回路を形成する画素 T F T の上方に有機樹脂膜でなる層間絶縁膜を形成する工程と、

前記層間絶縁膜上に遮蔽膜を形成する工程と、

前記遮蔽膜の表面に該遮蔽膜の酸化膜を形成する工程と、

前記遮蔽膜の酸化膜に接し、且つ前記遮蔽膜に重なるようにして画素電極を形成する工程と、

を有し、

前記ドライバー回路を形成する n チャネル型 T F T の L D D 領域は、少なくとも一部または全部が、該 n チャネル型 T F T のゲート配線に重なって配置され、

前記画素 T F T の L D D 領域は、該画素 T F T のゲート配線に重ならないように配置され、

前記ドライバー回路を形成する n チャネル型 T F T の L D D 領域には、前記画素 T F T の L D D 領域よりも高い濃度で n 型を付与する不純物元素が添加されることを特徴とする半導体装置の作製方法である。

#### 【 0 0 3 3 】

また、上記構成において、前記遮蔽膜の酸化膜を形成する工程は、印加電圧／給電時間が 1 1 V / m i n 以上である陽極酸化工程であることを特徴としている。

#### 【 0 0 3 4 】

##### 【発明の実施の形態】

本願発明の実施形態について、以下に説明する。本発明においては、同一基板上に形成された A M - L C D に代表される電気光学装置の各回路の電極として陽極酸化可能な材料を用い、その表面に陽極酸化膜を有する構成を特徴とする。

#### 【 0 0 3 5 】

なお、本願発明は、陽極酸化可能な材料と密着性の悪い材料膜、例えば有機樹脂膜を下地として、その上に陽極酸化可能な材料からなる第 1 の電極を設け、該電極の表面に陽極酸化膜を設け、さらに陽極酸化膜上に第 2 の電極を設けて容量を形成する構成とした時に最も効果的な技術である。

#### 【 0 0 3 6 】

本願発明で用いる陽極酸化可能な材料としては、バルブ金属膜（例えば、アルミニウム、タンタル膜、ニオブ膜、ハフニウム膜、ジルコニウム膜、クロム膜、チタン膜等）や導電性を有する珪素膜（例えばリンドーブシリコン膜、ボロンドー

プシリコン膜等)でも良いし、前記バルブ金属膜をシリサイド化したシリサイド膜、窒化したバルブ金属膜(窒化タンタル膜、窒化タングステン膜、窒化チタン膜等)を主成分とする材料を用いることができる。また、他の金属元素(タングステン膜、モリブデン膜等)との共融体である合金(例えばモリブデンタンタル合金等)を用いることも可能である。また、これらを自由に組み合わせて積層しても良い。

## 【0037】

バルブ金属とは、アノード的に生成したバリアー型陽極酸化膜がカソード電流は流すがアノード電流は通さない、即ち弁作用を示すような金属を指す。(電気化学便覧 第4版; 電気化学協会編、p 370、丸善、1985)

## 【0038】

また、上記陽極酸化可能な材料からなる第1の電極の構造は、単層膜からなる電極としても良いし、多層膜からなる電極としてもよい。なお、本明細書中において「電極」とは、「配線」の一部であり、他の配線との電氣的接続を行う箇所、または半導体層と交差する箇所を指す。従って、説明の便宜上、「配線」と「電極」とを使い分けるが、「電極」という文言に「配線」は常に含まれているものとする。

## 【0039】

図1(A)は、有機樹脂膜(ポリイミド膜)上に設けられた、表面に陽極酸化膜103を備えた電極を示したSEM(走査型電子顕微鏡)写真である。図1(B)はSEM写真の模式図である。図27と比較して、陽極酸化膜の廻り込み量Xが非常に小さい( $X = 0 \sim 0.02 \mu\text{m}$ )電極端部が図1に示されている。理想的には、廻り込み量 $X = 0$ の状態が好ましく、さらに上面および側面の陽極酸化膜厚が均一に形成されることが望ましい。

## 【0040】

上記構成を実現するためには、制御性の高い陽極酸化膜を形成する必要がある、本願発明は、その形成方法にも特徴がある。

## 【0041】

本発明者らは、樹脂膜上に電極を形成し、様々な陽極酸化条件を振って陽極酸化

する実験を行ったが、従来の方法、即ち、定電流状態から定電圧状態に移行させる工程では、どうしても電極端部において不均一な陽極酸化が行われ陽極酸化膜の廻り込みが生じていた。

## 【0042】

実験手順を以下に簡略に述べる。

## 【0043】

基板上に塗布法にて、厚さ $0.8\mu\text{m}$ のポリイミド樹脂膜を成膜した。次いで後に成膜する金属膜との密着性を高めるために $\text{CF}_4$ ガスを用いたプラズマ処理を施した。次いで、スパッタ法にて、厚さ $125\text{nm}$ の $\text{Al-Ti}$ 膜を成膜後、パターニングを施し電極を形成した。その後、樹脂膜を焼成するため、 $250^\circ\text{C}$ 、1時間の熱処理を施した。そして、電極に陽極酸化装置のプローブを接続して電極の表面にバリア型の陽極酸化膜を形成した。なお、バリア型の陽極酸化膜はアルミナである。このようにして形成した陽極酸化膜をSEM観察した。

## 【0044】

陽極酸化条件として、電解溶液に3%の酒石酸を含むエチレングリコール溶液を用い、溶液温度 $30^\circ\text{C}$ と設定して、定電圧時間（定電圧状態での保持時間）、上昇レート（単位時間当たりの印加電圧値）、基板1枚当たりの供給電流をそれぞれ条件1～4で設定して廻り込み量 $X$ を測定した。なお、条件1～4は、電極の表面に膜厚 $50\text{nm}$ の陽極酸化膜を形成するため、到達電圧 $35\text{V}$ と設定した。条件1と条件2と条件3で電流値及び上昇レートによる廻り込み量 $X$ の比較を行い、条件2と条件4で定電圧時間の有無による廻り込み量 $X$ の比較を行った。

## 【0045】

ここでの実験結果を表1に示す。

## 【0046】



【表 1】

陽極酸化条件による廻り込み量Xの程度

条件	到達電圧 (V)	電流値 (mA/枚)	電流密度 (mA/cm <sup>2</sup> )	電圧上昇レート (V/min)	上昇時間 (sec)	定電圧時間 (min)	給電時間 (sec)	廻り込み量 X( $\mu$ m)
1	35	1	0.027	0.5~0.6	3765	0	3765	1~2
2	35	20	0.541	13.8	122	0	122	0.45
3	35	100	2.703	87~430	7	0	7	0~0.02
4	35	20	0.541	13.8	128	15	128	0.62

【0 0 4 7】

なお、条件 3 の S E M 観察写真は図 1 であり、条件 4 の S E M 観察写真は図 2 7 である。

【0 0 4 8】

実験結果により、廻り込み量 X は、上昇レート及び陽極酸化工程にかかる給電時間に比例することを本発明者らは見出した。

【0 0 4 9】

従来と比較して、本発明の陽極酸化工程の陽極酸化しようとする電極の単位面積当たりの電流値及び単位時間当たりの印加電圧値を大きい値とし、目標電圧に到達した段階で終了させると廻り込み量 X を小さくすることができた。加えて、陽極酸化工程にかかる時間を短縮するために、定電圧状態の時間を数秒～数分、あるいは定電圧状態の時間をゼロとして陽極酸化膜を形成する。

【0 0 5 0】

本願発明の形成方法の一例を以下に図 1 を用いて説明する。

【0 0 5 1】

具体的には、陽極酸化しようとする電極の電流密度（単位面積当たりの電流量）は、 $1 \sim 20 \text{ mA/cm}^2$ であることが好ましい。なお、従来の電流密度（約  $0.3 \text{ mA/cm}^2$ 程度）と比べて大きい電流密度である。

【0 0 5 2】

また、電圧上昇レート（単位時間当たりに上昇させる電圧値）は、 $11 \text{ V/min}$ 以上、好ましくは  $100 \text{ V/min}$ 以上とした。同様に従来の電圧上昇レート（約

1 0 V / min程度) と比較して大きい。

【 0 0 5 3 】

その結果、制御性よく樹脂膜上に設けられた電極端部における陽極酸化膜の回り込み量 X を抑えることができ、所望の陽極酸化膜を形成することができた。

【 0 0 5 4 】

このように、本発明者らは、従来の陽極酸化工程とは全く異なる新規な陽極酸化工程を見出した。

【 0 0 5 5 】

上記本願発明の技術を利用して画素マトリクス回路に配置される T F T の保持容量の誘電体として陽極酸化膜を形成した A M - L C D の断面図を図 5 に示す。なお、ここではドライバー回路を構成する基本回路として C M O S 回路を示し、画素マトリクス回路の T F T としてはダブルゲート構造の T F T を示している。勿論、ダブルゲート構造に限らずトリプルゲート構造やシングルゲート構造などとしても良い。

【 0 0 5 6 】

図 5 において、n チャンネル型 T F T 5 0 4 を覆う平坦性を有する有機樹脂膜 3 7 6 (ポリイミド) 上に、陽極酸化可能な材料 (アルミニウム) からなる電極 (遮蔽膜 3 7 7) が設けられている。この遮蔽膜 3 7 7 は遮光及び電界遮蔽の効果を有するまた、その表面には陽極酸化膜 3 7 8 が設けられている。

【 0 0 5 7 】

この陽極酸化膜 3 7 8 は、画素の保持容量の誘電体としての膜質を有しており、下部電極を電極 (遮蔽膜 3 7 7) 、上部電極を画素電極 3 7 9 とした保持容量 3 8 2 が設けられている。

【 0 0 5 8 】

また、画素電極 3 7 9 としては、透過型 A M - L C D を作製するのであれば I T O 膜に代表される透明導電膜を、反射型 A M - L C D を作製するのであればアルミニウム、銀、またはこれらの合金 (A l - A g 合金) 等に代表される反射率の高い金属膜を用いれば良い。

【 0 0 5 9 】

また、アルミニウム膜からなる電極を遮蔽膜として用いる場合は、陽極酸化膜が設けられた電極の遮光性が重要である。出発膜厚を3条件（65 nm、95 nm、125 nm）振り、陽極酸化条件は全て同一条件とし膜厚50 nmの陽極酸化膜を形成した。すると、陽極酸化されなかった電極膜厚は30 nm、60 nm、90 nmとなった。

## 【0060】

図12に日立分光光度計U-4000にて測定した結果を示した。550 nmにおける電極膜厚：30 nmの吸光度は2.6、電極膜厚：60 nmの吸光度は4、電極膜厚：90 nmの吸光度は4.6であることが図12から読みとれる。電極を遮蔽膜として用いる場合に必要な吸光度（550 nmにおける）は3以上あればよい。従って、60 nm以上であれば問題なく遮蔽膜として機能する。また、段差による光漏れを考慮するなら、遮蔽膜は薄い方が好ましい。

## 【0061】

なお、図5では画素電極379がド레인電極372を介して画素マトリクス回路のTFTのド레인領域416と電氣的に接続されているが、画素電極とド레인領域とが直接的に接続するような構造としても良い。

## 【0062】

以上のような構造でなるAM-LCDは、膜剥がれの生じない陽極酸化工程により形成され均一な膜厚を有する陽極酸化膜を誘電体とした保持容量382を備えた画素マトリクス回路が形成されるため、信頼性及び生産性が高い点に特徴がある。

## 【0063】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

## 【0064】

## 【実施例】

## [実施例1]

本実施例では本発明の構成について図3～図5を用い、画素マトリクス回路とその周辺に設けられるドライバー回路の基本形態であるCMOS回路を同時に形

成したアクティブマトリクス基板の作製方法について説明する。

【0065】

最初に、基板301上に下地膜として窒化酸化シリコン膜302aを50～500nm、代表的には100nmの厚さに形成した。窒化酸化シリコン膜302aは、 $\text{SiH}_4$ と $\text{N}_2\text{O}$ と $\text{NH}_3$ を原料ガスとして作製されるものであり、含有する窒素濃度を25atomic%以上50atomic%未満となるようにした。その後、窒素雰囲気中で450～650℃の熱処理を施し、窒化酸化シリコン膜302aを緻密化した。

【0066】

さらに窒化酸化シリコン膜302bを100～500nm、代表的には200nmの厚さに形成し、連続して非晶質半導体膜（図示せず）を20～80nmの厚さに形成した。本実施例では非晶質半導体膜としては非晶質シリコン膜を用いたが、微結晶シリコン膜や非晶質シリコンゲルマニウム膜を用いても良い。

【0067】

そして特開平7-130652号公報（米国特許番号5,643,826号に対応）に記載された結晶化手段により非晶質シリコン膜を結晶化し、結晶質シリコン膜（図示せず）を形成した。同公報記載の技術は、非晶質シリコン膜の結晶化に際して、結晶化を助長する触媒元素（ニッケル、コバルト、ゲルマニウム、錫、鉛、パラジウム、鉄、銅から選ばれた一種または複数種の元素、代表的にはニッケル）を用いる結晶化手段である。具体的には、非晶質シリコン膜表面に触媒元素を保持させた状態で加熱処理を行い、非晶質シリコン膜を結晶質シリコン膜に変化させるものである。

【0068】

こうして結晶質シリコン膜を形成したら、エキシマレーザー光を照射することにより残存した非晶質成分の結晶化を行い、全体の結晶性を向上させる。なお、エキシマレーザー光はパルス発振型でも連続発振型でも良いが、ビーム形を線状に加工して照射することで大型基板にも対応できる。

【0069】

次に、結晶質シリコン膜をパターニングして、活性層603～606を形成し

、さらにそれらを覆ってゲート絶縁膜 307 を形成した。ゲート絶縁膜 307 は、 $\text{SiH}_4$  と  $\text{N}_2\text{O}$  とから作製される窒化酸化シリコン膜であり、ここでは  $10 \sim 200 \text{ nm}$ 、好ましくは  $50 \sim 150 \text{ nm}$  の厚さで形成した。(図 3 (A))

【0070】

次に、活性層 303、306 の全面と、活性層 304、305 の一部（チャネル形成領域を含む）を覆うレジストマスク 308～311 を形成した。そして、フォスフィン ( $\text{PH}_3$ ) を用いたイオンドープ法で n 型を付与する不純物元素（本実施例ではリン）を添加して後に  $\text{L}_{\text{ov}}$  領域または  $\text{L}_{\text{off}}$  領域となる  $\text{n}^-$  領域 312～314 を形成した。この工程では、ゲート絶縁膜 307 を通してその下の活性層にリンを添加するために、加速電圧は  $65 \text{ keV}$  に設定した。活性層に添加されるリンの濃度は、 $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$  の範囲にするのが好ましく、ここでは  $1 \times 10^{18} \text{ atoms/cm}^3$  とした。(図 3 (B))

【0071】

次に、第 1 の導電膜 315 を、スパッタ法により窒化タンタル ( $\text{TaN}$ ) で形成した。続いて、アルミニウム ( $\text{Al}$ ) を主成分とする第 2 の導電膜 316 を、 $100 \sim 300 \text{ nm}$  の厚さに形成した。(図 3 (C))

【0072】

そして、第 2 の導電膜をエッチングして配線 317 を形成した。本実施例の場合、第 2 の導電膜が  $\text{Al}$  であるので、リン酸溶液により下地である  $\text{TaN}$  膜との選択比が良好であった。さらに、第 1 の導電層 315 と配線 317 の上に第 3 の導電膜 318 をタンタル ( $\text{Ta}$ ) で  $100 \sim 400 \text{ nm}$ （本実施例では  $200 \text{ nm}$ ）の厚さに形成した。なお、このタンタル膜の上にさらに窒化タンタル膜を形成しても構わない。(図 3 (D))

【0073】

次に、レジストマスク 319～324 を形成し、第 1 の導電膜と第 3 の導電膜の一部をエッチング除去して、低抵抗な接続配線 325、p チャネル型 TFT のゲート配線 326、画素マトリクス回路のゲート配線 327 を形成した。なお、導電膜 328～330 は n チャネル型 TFT となる領域上に残しておく。また、この接続配線 325 は、配線抵抗を極力小さくした部分（例えば、外部信号の入

出力端子からドライバー回路の入出力端子までの配線部分)に形成する。但し、構造上、配線幅がある程度太くなってしまうので、微細な配線を必要とする部分には不向きである。

## 【0074】

上記第1の導電膜(TaN膜)と第2の導電膜(Ta膜)のエッチングは $CF_4$ と $O_2$ の混合ガスにより行うことができた。そして、レジストマスク319~324をそのまま残して、pチャネル型TFETが形成される活性層303の一部に、p型を付与する不純物元素を添加する工程を行った。ここではボロンをその不純物元素として、ジボラン( $B_2H_6$ )を用いてイオンドープ法(勿論、イオンインプランテーション法でも良い)で添加した。ボロンの添加濃度は $5 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ (本実施例では $2 \times 10^{21} \text{ atoms/cm}^3$ )とした。そして、ボロンが高濃度に添加された $p^{++}$ 領域331、332を形成した。(図4(A))

## 【0075】

なお、この工程において、レジストマスク319~324をマスクとしてゲート絶縁膜307をエッチングし、活性層303の一部を露出させた後、ボロンを添加する工程を行っても良い。その場合、加速電圧が低くて済むため、活性層に与えるダメージも少ないし、スループットも向上する。

## 【0076】

次に、レジストマスク319~324を除去した後、新たにレジストマスク333~338を形成した。これはnチャネル型TFETのゲート配線を形成するためのものであり、ドライエッチング法によりnチャネル型TFETのゲート配線339~341が形成された。このときゲート配線339、340は $n^-$ 領域312~314の一部と重なるように形成した。(図4(B))

## 【0077】

次に、レジストマスク333~338を除去した後、新たにレジストマスク342~347を形成した。レジストマスク344、346はnチャネル型TFETのゲート配線340、341と $n^-$ 領域の一部を覆う形で形成した。

## 【0078】

そして、n型を付与する不純物元素(本実施例ではリン)を $1 \times 10^{20} \sim 1 \times$

$1.0 \times 10^{21} \text{ atoms/cm}^3$  (本実施例では  $5 \times 10^{20} \text{ atoms/cm}^3$ ) の濃度で添加して活性層 304~306 に  $n^+$  領域 347~353 を形成した。(図 4 (C))

## 【0079】

なお、この工程において、レジストマスク 342~347 を用いてゲート絶縁膜 307 をエッチング除去し、活性層 304~306 の一部を露出させた後、リンを添加する工程を行っても良い。その場合、加速電圧が低くて済むため、活性層に与えるダメージも少ないし、スループットも向上する。

## 【0080】

次に、レジストマスク 342~346 を除去し、画素マトリクス回路の  $n$  チャネル型 TFT となる活性層 306 に  $n$  型を付与する不純物元素 (本実施例ではリン) を添加する工程を行った。こうして前記  $n^-$  領域の  $1/2 \sim 1/10$  の濃度 (具体的には  $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ ) でリンが添加された  $n^{--}$  領域 354~357 を形成した。

## 【0081】

また、この工程ではゲート配線で隠された不純物領域 358~360 を除いて全ての不純物領域に  $n^?$  の濃度でリンが添加された。実際、その濃度は非常に低濃度であるため無視して差し支えない。但し、厳密には 359、360 で示される領域が  $n^-$  領域であるのに対し、361、362 で示される領域は  $(n^- + n^?)$  領域となり、前記  $n^-$  領域 359、360 よりも若干高い濃度でリンを含む。(図 5 (A))

## 【0082】

次に、100~400 nm 厚の保護絶縁膜 363 をプラズマ CVD 法で  $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{NH}_3$  を原料とした窒化酸化シリコン膜で形成した。この窒化酸化シリコン膜中の含有水素濃度は 1~30 atomic% となるように形成することが望ましかった。保護絶縁膜 344 としては、他にも酸化シリコン膜、窒化シリコン膜またはそれらを組み合わせた積層膜を用いることができる。

## 【0083】

その後、それぞれの濃度で添加された  $n$  型または  $p$  型を付与する不純物元素を活性化するために熱処理工程を行った。この工程はファーネスアニール法、レー

ザーアニール法、またはラピッドサーマルアニール法（RTA法）で行うことができる。ここではファーンেসアニール法で活性化工程を行った。加熱処理は、窒素雰囲気中において300～650℃、好ましくは400～550℃、ここでは450℃、2時間の熱処理を行った。

## 【0084】

さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、活性層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。（図5（B））

## 【0085】

活性化工程を終えたら、保護絶縁膜363の上に0.5～1.5μm厚の層間絶縁膜364を形成した。前記保護絶縁膜363と層間絶縁膜364とでなる積層膜を第1の層間絶縁膜とした。

## 【0086】

その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース配線365～368と、ドレイン配線369～372を形成した。なお、図示されていないがCMOS回路を形成するためにドレイン配線369と370は同一配線として接続されている。また、入出力端子間、回路間を結ぶ接続配線373、374も同時に形成した。なお、図示していないが本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

## 【0087】

次に、パッシベーション膜375として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で50～500nm（代表的には200～300nm）の厚さで形成した。パッシベーション膜375はプラズマCVD法でSiH<sub>4</sub>、N<sub>2</sub>O、NH<sub>3</sub>から形成される窒化酸化シリコン膜、またはSiH<sub>4</sub>、N<sub>2</sub>、NH<sub>3</sub>から作製される窒化シリコン膜で形成すれば良い。



## 【0088】

まず、膜の形成に先立って $N_2O$ 、 $N_2$ 、 $NH_3$ 等を導入してプラズマ水素化処理により水素化の工程を行なった。プラズマ処理により励起された水素は第1の層間絶縁膜中に供給され、基板を $200\sim 400^{\circ}C$ に加熱しておけば、その水素を下層側にも拡散させて活性層を水素化することができた。このパッシベーション膜の作製条件は特に限定されるものではないが、緻密な膜とすることが望ましい。

## 【0089】

また、パッシベーション膜を形成した後に、さらに水素化工程を行っても良い。例えば、 $3\sim 100\%$ の水素を含む雰囲気中で、 $300\sim 450^{\circ}C$ で $1\sim 12$ 時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜375に開口部を形成しておいても良い。

## 【0090】

その後、有機樹脂からなる第2の層間絶縁膜376を約 $1\mu m$ の厚さに形成した。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系SiO化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、 $300^{\circ}C$ で焼成して形成した。

## 【0091】

次に、画素マトリクス回路となる領域において、第2の層間絶縁膜376上に遮蔽膜377を形成した。遮蔽膜377はアルミニウム（Al）、チタン（Ti）、タンタル（Ta）から選ばれた元素またはいずれかを主成分とする膜で $100\sim 300nm$ の厚さに形成した。なお、第2の層間絶縁膜376上に酸化シリコン膜等の絶縁膜を $5\sim 50nm$ 形成しておくこと、この上に形成する遮蔽膜の密着性を高めることができた。また、有機樹脂で形成した第2の層間絶縁膜376

の表面に $\text{CF}_4$ ガスを用いたプラズマ処理を施すと、表面改質により膜上に形成する遮蔽膜の密着性を向上させることができた。

## 【0092】

また、遮蔽膜だけでなく、他の接続配線を形成することも可能である。例えば、ドライバー回路内で回路間をつなぐ接続配線を形成できる。但し、その場合は遮蔽膜または接続配線を形成する材料を成膜する前に、予め第2の層間絶縁膜にコンタクトホールを形成しておく必要がある。

## 【0093】

次に、遮蔽膜377の表面に陽極酸化法により10～100nm（好ましくは15～75nm）の厚さの陽極酸化膜378を形成した。本実施例では遮蔽膜377としてアルミニウム膜またはアルミニウムを主成分とする膜を用いたため、陽極酸化膜378として酸化アルミニウム膜（アルミナ膜）が形成された。

## 【0094】

陽極酸化処理に際して、まず十分にアルカリイオン濃度の小さい酒石酸エチレングリコール溶液を作製した。これは15%の酒石酸アンモニウム水溶液とエチレングリコールとを2：8で混合した溶液であり、これにアンモニア水を加え、pHが7±0.5となるように調節した。そして、この溶液中に陰極となる白金電極を設け、遮蔽膜377が形成されている基板を溶液に浸し、遮蔽膜377を陽極として、一定（数mA～数百mA）の直流電流を流した。電流密度は、1.0mA/cm<sup>2</sup>～20.0mA/cm<sup>2</sup>の範囲に制御しながら、陽極酸化を行うことが好ましい。

## 【0095】

本実施例では、1枚の基板に100mAの電流を流し、単位時間あたりの電圧値を87～430V/minとした。溶液中の陰極と陽極との間の電圧は酸化膜の成長に従い時間と共に変化するが、電流が一定となるように電圧を調整し、35Vとなったところで終了した。本実施例の陽極酸化工程時間は7秒であった。

## 【0096】

このようにして図1に示したように遮蔽膜377の端部側面には厚さ20～30nmの陽極酸化膜378を形成することができた。なお、ここで示した陽極酸

化法に係わる数値は一例にすぎず、作製する素子の大きさ等によって当然最適値は変化するものである。

## 【0097】

また、ここでは遮蔽膜表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマCVD法、熱CVD法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は30～150nm（好ましくは50～75nm）とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、DLC（Diamond like carbon）膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

## 【0098】

次に、第2の層間絶縁膜376、パッシベーション膜375にドレイン配線372に達するコンタクトホールを形成し、画素電極379を形成した。なお、画素電極380、381はそれぞれ隣接する別の画素の画素電極である。画素電極379～381は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には反射性を有する金属膜（例えば、アルミニウム、銀、Al-Ag合金等）を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ITO）膜を100nmの厚さにスパッタ法で形成した。

## 【0099】

また、この時、画素電極379と遮蔽膜377とが陽極酸化膜378を介して重なった領域382が保持容量を形成した。

## 【0100】

こうして同一基板上に、ドライバー回路となるCMOS回路と画素マトリクス回路とを有したアクティブマトリクス基板が完成した。なお、ドライバー回路にはpチャネル型TFT501、nチャネル型TFT502、503が形成され、画素マトリクス回路にはnチャネル型TFTでなる画素TFT504が形成された。（図5（C））

## 【0101】

CMOS回路のpチャネル型TFT501には、チャネル形成領域501、ソ

ース領域502、ドレイン領域503がそれぞれ $p^+$ 領域で形成された。

#### 【0102】

また、 $n$ チャネル型TFT502には、チャネル形成領域404、ソース領域405、ドレイン領域406、そしてチャネル形成領域の片側にLov領域407が形成された。この時、ソース領域405、ドレイン領域406はそれぞれ( $n^-+n^+$ )領域で形成され、Lov領域407は $n^-$ 領域で形成された。また、Lov領域407はゲート配線と全部重なって形成された。

#### 【0103】

また、 $n$ チャネル型TFT503には、チャネル形成領域408、ソース領域409、ドレイン領域410、そしてチャネル形成領域の両側にLov領域411a、412aおよびLoff領域411b、412bが形成された。この時、ソース領域409、ドレイン領域410はそれぞれ( $n^-+n^+$ )領域、Lov領域411a、412aは $n^-$ 領域、Loff領域411b、412bは( $n^{--}+n^-$ )領域で形成された。なお、この構造ではLDD領域の一部がゲート配線と重なるように配置されたために、Lov領域とLoff領域が実現されている。

#### 【0104】

また、画素TFT504には、チャネル形成領域413、414、ソース領域415、ドレイン領域416、Loff領域417~420、Loff領域418、419に接した $n^+$ 領域421が形成された。この時、ソース領域415、ドレイン領域416はそれぞれ $n^+$ 領域で形成され、Loff領域417~420は $n^{--}$ 領域で形成された。

#### 【0105】

本実施例では、画素マトリクス回路およびドライバー回路が要求する回路仕様に応じて各回路を形成するTFTの構造を最適化し、半導体装置の動作性能および信頼性を向上させることができた。具体的には、 $n$ チャネル型TFTは回路仕様に応じてLDD領域の配置を異ならせ、Lov領域またはLoff領域を使い分けることによって、同一基板上に高速動作またはホットキャリア対策を重視したTFT構造と低オフ電流動作を重視したTFT構造とを実現した。

#### 【0106】

例えば、アクティブマトリクス型液晶表示装置の場合、 $n$ チャネル型TFT502は高速動作を重視するシフトレジスタ回路、分周波回路、信号分割回路、レベルシフタ回路、バッファ回路などのロジック回路に適している。即ち、チャネル形成領域の片側（ドレイン領域側）のみに $L_{ov}$ 領域を配置することで、できるだけ抵抗成分を低減させつつホットキャリア対策を重視した構造となっている。これは上記回路群の場合、ソース領域とドレイン領域の機能が変わらず、キャリア（電子）の移動する方向が一定だからである。但し、必要に応じてチャネル形成領域の両側に $L_{ov}$ 領域を配置することもできる。

## 【0107】

また、 $n$ チャネル型TFT503はホットキャリア対策と低オフ電流動作の双方を重視するサンプリング回路（サンプルホールド回路）に適している。即ち、 $L_{ov}$ 領域を配置することでホットキャリア対策とし、さらに $L_{off}$ 領域を配置することで低オフ電流動作を実現した。また、サンプリング回路はソース領域とドレイン領域の機能が反転してキャリアの移動方向が $180^\circ$  変わるため、ゲート配線を中心に線対称となるような構造としなければならない。なお、場合によっては $L_{ov}$ 領域のみとすることもありうる。

## 【0108】

また、 $n$ チャネル型TFT504は低オフ電流動作を重視した画素マトリクス回路、サンプリング回路（サンプルホールド回路）に適している。即ち、オフ電流値を増加させる要因となりうる $L_{ov}$ 領域を配置せず、 $L_{off}$ 領域のみを配置することで低オフ電流動作を実現している。また、ドライバー回路の $LDD$ 領域よりも低い濃度の $LDD$ 領域を $L_{off}$ 領域として用いることで、多少オン電流値が低下しても徹底的にオフ電流値を低減する対策を打っている。さらに、 $n^+$ 領域721はオフ電流値を低減する上で非常に有効であることが確認されている。

## 【0109】

また、チャネル長 $3 \sim 7 \mu m$ に対して $n$ チャネル型TFT502の $L_{ov}$ 領域407の長さ（幅）は $0.5 \sim 3.0 \mu m$ 、代表的には $1.0 \sim 1.5 \mu m$ とすれば良い。また、 $n$ チャネル型TFT503の $L_{ov}$ 領域411a、412aの長さ（幅）は $0.5 \sim 3.0 \mu m$ 、代表的には $1.0 \sim 1.5 \mu m$ 、 $L_{off}$ 領域411b

、412bの長さ（幅）は1.0～3.5  $\mu\text{m}$ 、代表的には1.5～2.0  $\mu\text{m}$ とすれば良い。また、画素TFT504に設けられるLoff領域417～420の長さ（幅）は0.5～3.5  $\mu\text{m}$ 、代表的には2.0～2.5  $\mu\text{m}$ とすれば良い。

#### 【0110】

さらに、pチャネル型TFT501は自己整合（セルフアライン）的に形成され、nチャネル型TFT502～504は非自己整合（ノンセルフアライン）的に形成されている点も特徴の一つである。

#### 【0111】

##### [実施例2]

本実施例では、アクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図6に示すように、図5（C）の状態の基板に対し、配向膜601を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の基板602には、透明導電膜603と、配向膜604とを形成した。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。そして、画素マトリクス回路と、CMOS回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ（共に図示せず）などを介して貼りあわせる。その後、両基板の間に液晶材料605を注入し、封止剤（図示せず）によって完全に封止した。液晶材料には公知の液晶材料を用いれば良い。このようにして図6に示すアクティブマトリクス型液晶表示装置が完成した。

#### 【0112】

##### [実施例3]

本実施例では、アクティブマトリクス基板の画素マトリクス回路のnチャネル型TFTに接続される保持容量の他の構成について図7を用いて説明する。なお、図7の断面構造は実施例1で説明した作製工程に従って、陽極酸化膜378を形成するところまで全く同一であるので、そこまでの構造は図3～5で既に説明されている。従って、本実施例では実施例1と異なる点のみに注目して説明を行うこととする。

【0113】

実施例 1 の工程に従って遮蔽膜 377、遮蔽膜 377 を陽極酸化して得られた陽極酸化膜 378 を形成したら、有機樹脂膜でなるスペーサー 702～704 を形成する。有機樹脂膜としては、ポリイミド、ポリアミド、ポリイミドアミド、アクリル、BCB（ベンゾシクロブテン）から選ばれた膜を用いることができる。その後、スペーサー 702、第 2 の層間絶縁膜 376、パッシベーション膜 375 をエッチングしてコンタクトホールを形成し、実施例 1 と同一の材料で画素電極 705 を形成する。なお、画素電極 706、707 は隣接する別の画素の画素電極である。

【0114】

こうして、遮蔽膜 377 と画素電極 705 が陽極酸化膜 378 を介して重なった領域において保持容量 708 が形成される。このようにスペーサー 402～404 を設けることにより、遮蔽膜 377 と画素電極 705～707 との間で発生するショート（短絡）を防止することができる。

【0115】

なお、本実施例の構成は実施例 2 の構成と組み合わせることが可能である。

【0116】

〔実施例 4〕

本実施例では、アクティブマトリクス基板の画素マトリクス回路の n チャネル型 TFT に接続される保持容量の他の構成について図 8 を用いて説明する。なお、図 8 の断面構造は実施例 1 で説明した作製工程に従って、遮蔽膜 377 を形成するところまで全く同一であるので、そこまでの構造は図 3～5 で既に説明されている。従って、本実施例では実施例 1 と異なる点のみに注目して説明を行うこととする。

【0117】

まず実施例 1 の工程に従って遮蔽膜 377 を形成したら、遮蔽膜 377 の端部を覆うようにして有機樹脂膜でなるスペーサー 801～803 を形成する。有機樹脂膜としては、ポリイミド、ポリアミド、ポリイミドアミド、アクリル、BCB（ベンゾシクロブテン）から選ばれた膜を用いることができる。（図 8（A）

)

## 【0118】

次に、陽極酸化法またはプラズマ酸化法により遮蔽膜 377 の露出した表面に酸化膜 804 を形成する。なお、スペーサー 801～803 と接した部分には酸化膜 804 は形成されない。(図 8 (B))

## 【0119】

次に、スペーサー 801、第 2 の層間絶縁膜 376、パッシベーション膜 375 をエッチングしてコンタクトホールを形成し、実施例 1 と同一の材料で画素電極 805 を形成する。なお、画素電極 806、807 は隣接する別の画素の画素電極である。

## 【0120】

こうして、遮蔽膜 377 と画素電極 805 が酸化膜 804 を介して重なった領域において保持容量 808 が形成される。このようにスペーサー 801～803 を設けることにより、遮蔽膜 377 と画素電極 805～807 との間で発生するショート（短絡）を防止することができる。

## 【0121】

なお、本実施例の構成は実施例 2 の構成と組み合わせることが可能である。

## 【0122】

## 〔実施例 5〕

アクティブマトリクス型液晶表示装置の構成を、図 9 の上面図を用いて説明する。尚、図 9 は、図 3～図 5 の断面構造図と対応付けるため、共通の符号を用いている。また、図 9 (B) で示す A-A' に沿った断面構造は、図 5 (C) に示す画素マトリクス回路の断面図に対応している。

## 【0123】

図 9 は画素マトリクス回路の一部分（一画素）を示す上面図である。ここで図 9 (A) は活性層、ゲート配線、ソース配線の重ねあわせを示す上面図であり、同図 (B) はその上に遮蔽膜、画素電極を重ねあわせた状態を示す上面図である。図 9 (A) において、ゲート配線 341 は、図示されていないゲート絶縁膜を介してその下の活性層 306 と交差している。また、図示はしていないが、活性



層 306 には、ソース領域、ドレイン領域、 $n^{++}$ 領域でなる  $L_{off}$  領域が形成されている。また、901 はソース配線 368 と活性層 306 とのコンタクト部、902 はドレイン配線 372 と活性層 306 とのコンタクト部である。

## 【0124】

また、図 9 (B) において、画素 TFT の上には表面に陽極酸化膜（ここでは図示しないが、図 5 (C) の陽極酸化膜 378 を指す）が形成された遮蔽膜 377 と、各画素ごとに設けられる画素電極 379 ～ 381 が形成されている。そして、遮蔽膜 377 と画素電極 379 とが陽極酸化膜を介して重なる領域で保持容量 382 が形成される。なお、903 はドレイン配線 372 と画素電極 379 とのコンタクト部である。

## 【0125】

本実施例では保持容量の誘電体として比誘電率が 7 ～ 9 と高いアルミナ膜を用いたことで、必要な容量を形成するための面積を少なくすることが可能である。さらに、本実施例のように画素 TFT 上に形成される遮蔽膜を保持容量の一方の電極とすることで、アクティブマトリクス型液晶表示装置の画像表示部の開口率を向上させることができた。

## 【0126】

なお、本実施例のアクティブマトリクス型液晶表示装置は、実施例 4 で説明した構造と照らし合わせて説明したが、実施例 1 ～ 4 のいずれの構成とも自由に組み合わせることでアクティブマトリクス型液晶表示装置を作製することができる。

## 【0127】

## 〔実施例 6〕

画素マトリクス回路の各画素に設けられる保持容量は画素電極に接続されていない方の電極（本発明の場合は遮蔽膜）を固定電位としておくことで保持容量を形成することができる。その場合、遮蔽膜をフローティング状態（電氣的に孤立した状態）かコモン電位（データとして送られる画像信号の中間電位）に設定しておくことが望ましい。

## 【0128】

そこで本実施例では遮蔽膜をコモン電位に固定する場合の接続方法について図

10を用いて説明する。図10(A)において、1001は実施例1と同様にして作製された画素TFTであり、1002が保持容量の一方の電極として機能する遮蔽膜である。遮蔽膜1002は画素マトリクス回路の外側にまで延在し、第2の層間絶縁膜1004、パッシベーション膜1005に設けられたコンタクトホール1006を介してコモン電位を与える電源線1003と接続している。

#### 【0129】

このように画素マトリクス回路の外側において、コモン電位を与える電源線と電氣的に接続することでコモン電位とすることができる。従って、この場合には遮蔽膜1002を形成する前に第2の層間絶縁膜1004、パッシベーション膜1005をエッチングする工程が必要となる。

#### 【0130】

次に、図10(B)において、1007は実施例1と同様にして作製された画素TFTであり、1008が保持容量の一方の電極として機能する遮蔽膜である。遮蔽膜1008は画素マトリクス回路の外側にまで延在し、1009で示される領域において導電膜1010と酸化膜1011を介して重なる。この導電膜1010は画素電極1012と同時に形成される導電膜である。

#### 【0131】

そして、この導電膜1010は第2の層間絶縁膜1013、パッシベーション膜1014に設けられたコンタクトホール1015を介してコモン電位を与える電源線1016と接続している。この時、領域1009では遮蔽膜1008、酸化膜1011、導電膜1010でなるコンデンサが形成される。このコンデンサは交流駆動を行うことによって実質的に短絡する。即ち、領域1009では静電結合によって、遮蔽膜1008と導電膜1010とが電氣的に接続されるため、遮蔽膜1008と電源線1016とは実質的に接続される。

#### 【0132】

このように図10(B)の構造を採用することで、工程数を増やすことなく遮蔽膜をコモン電位に設定することが可能となる。

#### 【0133】

なお、本実施例の構成は実施例1～5のいずれの構成とも自由に組み合わせる

ことが可能である。

【0 1 3 4】

〔実施例 7〕

本実施例では、実施例 1 に示した画素マトリクス回路において、遮蔽膜と有機樹脂膜との間の密着性を高めるための技術を提供する。説明には図 1 1 を用いる。

【0 1 3 5】

本実施例では、実施例 1 に従い有機樹脂膜 3 7 6 を形成した後、スパッタ法により 1 0 ~ 2 0 0 n m 厚の無機膜、ここでは酸化珪素膜を形成し、さらに連続的に高純度アルミニウム膜を形成する。この高純度アルミニウム膜をエッチングして遮蔽膜 1 1 0 2 を形成する。図 1 1 (A) では 1 1 0 1 が酸化珪素膜である。

【0 1 3 6】

この酸化珪素膜 1 1 0 1 は有機樹脂膜 3 7 6 と、高純度アルミニウム膜でなる遮蔽膜との密着性を高めるバッファ層として機能する。この酸化珪素膜を設けることで実施の形態に示した陽極酸化法により酸化膜を形成した場合において、さらに良好な密着性を確保することができる。また、無機膜としては、酸化珪素膜の他に、珪素（シリコン）を含む絶縁膜（本明細書中では窒化シリコン膜、または窒化酸化シリコン膜の総称を指す）を用いることができる。なお、本明細書中において窒化酸化シリコン膜とは  $\text{SiO}_x\text{Ny}$ （但し、 $0 < x, y < 1$ ）で表される絶縁膜であり、珪素、酸素、窒素を所定の割合で含む絶縁膜を指す。

【0 1 3 7】

加えて、有機樹脂で形成した第 2 の層間絶縁膜 3 7 6 の表面、または酸化珪素膜上に  $\text{CF}_4$  ガスを用いたプラズマ処理を施して、表面改質により膜上に形成する遮蔽膜の密着性を向上させてもよい。

【0 1 3 8】

なお、コンタクトホール形成を容易とするために、遮蔽膜の陽極酸化後、酸化珪素膜のパターニングを施して図 1 1 (B) の構造としてもよい。また、遮蔽膜のパターニングの際、同時に酸化珪素膜のパターニングを施す工程としてもよい。

【0 1 3 9】

なお、本実施例の構成は実施例 1～6 のいずれの構成とも自由に組み合わせることが可能である。

【0140】

〔実施例 8〕

図 13 は、実施例 1 で示したアクティブマトリクス基板の回路構成の一例を示す。本実施例のアクティブマトリクス基板は、ソース信号線側駆動回路 1301、ゲート信号線側駆動回路 (A) 1307、ゲート信号線側駆動回路 (B) 1311、プリチャージ回路 1312、画素マトリクス回路 1306 を有している。ソース信号線側駆動回路 1301 は、シフトレジスタ回路 1302、レベルシフタ回路 1303、バッファ回路 1304、サンプリング回路 1305 を備えている。また、ゲート信号線側駆動回路 (A) 1307 は、シフトレジスタ回路 1308、レベルシフタ回路 1309、バッファ回路 1310 を備えている。ゲート信号線側駆動回路 (B) 1311 も同様な構成である。

【0141】

ここでシフトレジスタ回路 1302、1308 は駆動電圧が 5～16V (代表的には 10V) であり、回路を形成する CMOS 回路に使われる n チャネル型 TFT は図 5 (C) の 502 で示される構造が適している。

【0142】

また、レベルシフタ回路 1303、1309、バッファ回路 1304、1310 は、駆動電圧は 14～16V と高くなるが、シフトレジスタ回路と同様に、図 5 (C) の n チャネル型 TFT 502 を含む CMOS 回路が適している。なお、ゲート配線をダブルゲート構造とすることは、回路の信頼性を向上させる上で有効である。

【0143】

また、サンプリング回路 1305 は駆動電圧が 14～16V であるが、ソース領域とドレイン領域が反転する上、オフ電流値を低減する必要があるので、図 5 (C) の n チャネル型 TFT 503 を含む CMOS 回路が適している。なお、図 5 (C) では n チャネル型 TFT しか図示されていないが、実際にサンプリング回路を形成する時は n チャネル型 TFT と p チャネル型 TFT とを組み合わせ

形成することになる。

【0144】

また、画素マトリクス回路1306は駆動電圧が14～16Vであり、サンプリング回路1305よりもさらにオフ電流値が低いことを要求するので、完全なLDD構造（ $L_{ov}$ 領域を配置しない構造）とすることが望ましく、図5（C）のnチャネル型TFT504を画素TFTとして用いることが望ましい。

【0145】

また、図14にアクティブマトリクス型液晶表示装置の斜視図を示す。尚、図11は、図3～図5の断面構造図と対応付けるため、共通の符号を用いている。

【0146】

アクティブマトリクス基板は、ガラス基板301上に形成された、画素マトリクス回路1401と、走査（ゲート）線駆動回路1402と、信号（ソース）線駆動回路1403で構成される。画素マトリクス回路の画素TFT504はnチャネル型TFTであり、周辺に設けられるドライバー回路はCMOS回路を基本として構成されている。走査（ゲート）線駆動回路1402と、信号（ソース）線駆動回路1403はそれぞれゲート配線341とソース配線368で画素マトリクス回路1401に接続されている。また、FPC1404が接続された外部入出力端子1405からドライバー回路の入出力端子までの接続配線1407、1408が設けられている。

【0147】

なお、本実施例の構成は実施例1～7のいずれの構成とも自由に組み合わせることが可能である。

【0148】

〔実施例9〕

本実施例ではTFTの活性層（能動層）となる活性層を形成する工程について図15を用いて説明する。まず、基板（本実施例ではガラス基板）1501上に200nm厚の窒化酸化シリコン膜でなる下地膜1502と50nm厚の非晶質半導体膜（本実施例では非晶質シリコン膜）1503を大気解放しないで連続的に形成する。

## 【0149】

次に、重量換算で10ppmの触媒元素（本実施例ではニッケル）を含む水溶液（酢酸ニッケル水溶液）をスピコート法で塗布して、触媒元素含有層1504を非晶質半導体膜1503の全面に形成する。ここで使用可能な触媒元素は、ニッケル（Ni）以外にも、ゲルマニウム（Ge）、鉄（Fe）、パラジウム（Pd）、スズ（Sn）、鉛（Pb）、コバルト（Co）、白金（Pt）、銅（Cu）、金（Au）、といった元素がある。（図15（A））

## 【0150】

また、本実施例ではスピコート法でニッケルを添加する方法を用いたが、蒸着法やスパッタ法などにより触媒元素でなる薄膜（本実施例の場合はニッケル膜）を非晶質半導体膜上に形成する手段をとっても良い。

## 【0151】

次に、結晶化の工程に先立って400～500℃で1時間程度の熱処理工程を行い、水素を膜中から脱離させた後、500～650℃（好ましくは550～570℃）で4～12時間（好ましくは4～6時間）の熱処理を行う。本実施例では、550℃で4時間の熱処理を行い、結晶質半導体膜（本実施例では結晶質シリコン膜）1505を形成する。（図15（B））

## 【0152】

次に、結晶化の工程で用いたニッケルを結晶質シリコン膜から除去するゲッタリング工程を行う。まず、結晶質半導体膜1505の表面にマスク絶縁膜1506を150nmの厚さに形成し、パターニングにより開口部1507を形成する。そして、露出した結晶質半導体膜に対して15族に属する元素（本実施例ではリン）を添加する工程を行う。この工程により $1 \times 10^{19} \sim 1 \times 10^{20}$  atoms/cm<sup>3</sup>の濃度でリンを含むゲッタリング領域1508が形成される。（図15（C））

## 【0153】

次に、窒素雰囲気中で450～650℃（好ましくは500～550℃）、4～24時間（好ましくは6～12時間）の熱処理工程を行う。この熱処理工程により結晶質半導体膜中のニッケルは矢印の方向に移動し、リンのゲッタリング作

用によってゲッタリング領域 1 5 0 8 に捕獲される。即ち、結晶質半導体膜中からニッケルが除去されるため、結晶質半導体膜 1 5 0 9 に含まれるニッケル濃度は、 $1 \times 10^{17} \text{atms/cm}^3$  以下、好ましくは  $1 \times 10^{16} \text{atms/cm}^3$  にまで低減することができる。(図 1 5 (D))

## 【0 1 5 4】

そして、マスク絶縁膜 1 5 0 6 を除去した後、ゲッタリング領域 1 5 0 8 を完全に取り除くようにしてパターニングを行い、活性層 1 5 1 0 を得る。なお、図 1 5 (E) では活性層 1 5 1 0 を一つしか図示していないが、基板上に複数の活性層を同時に形成することは言うまでもない。

## 【0 1 5 5】

以上のようにして形成された活性層 1 5 1 0 は、結晶化を助長する触媒元素（ここではニッケル）を用いることによって、非常に結晶性の良い結晶質半導体膜で形成されている。また、結晶化のあとは触媒元素をリンのゲッタリング作用により除去しており、活性層 1 5 1 0 中に残存する触媒元素の濃度は、 $1 \times 10^{17} \text{atms/cm}^3$  以下、好ましくは  $1 \times 10^{16} \text{atms/cm}^3$  である。

## 【0 1 5 6】

なお、本実施例の構成は、実施例 1 ～ 8 のいずれの構成とも自由に組み合わせることが可能である。

## 【0 1 5 7】

## [実施例 1 0]

本実施例では T F T の活性層（能動層）となる活性層を形成する工程について図 1 6 を用いて説明する。具体的には特開平 1 0 - 2 4 7 7 3 5 号公報（米国出願番号 0 9 / 0 3 4 , 0 4 1 号に対応）に記載された技術を用いる。

## 【0 1 5 8】

まず、基板（本実施例ではガラス基板）1 6 0 1 上に 2 0 0 n m 厚の窒化酸化シリコン膜でなる下地膜 1 6 0 2 と 5 0 n m 厚の非晶質半導体膜（本実施例では非晶質シリコン膜）1 6 0 3 を大気解放しないで連続的に形成する。次に、酸化シリコン膜でなるマスク絶縁膜 1 6 0 4 を 2 0 0 n m の厚さに形成し、開口部 1 6 0 5 を形成する。

## 【0159】

次に、重量換算で100ppmの触媒元素（本実施例ではニッケル）を含む水溶液（酢酸ニッケル水溶液）をスピコート法で塗布して、触媒元素含有層1606を形成する。この時、触媒元素含有層1606は、開口部1605が形成された領域において、選択的に非晶質半導体膜1603に接触する。ここで使用可能な触媒元素は、ニッケル（Ni）以外にも、ゲルマニウム（Ge）、鉄（Fe）、パラジウム（Pd）、スズ（Sn）、鉛（Pb）、コバルト（Co）、白金（Pt）、銅（Cu）、金（Au）、といった元素がある。（図15（A））

## 【0160】

また、本実施例ではスピコート法でニッケルを添加する方法を用いたが、蒸着法やスパッタ法などにより触媒元素でなる薄膜（本実施例の場合はニッケル膜）を非晶質半導体膜上に形成する手段をとっても良い。

## 【0161】

次に、結晶化の工程に先立って400～500℃で1時間程度の熱処理工程を行い、水素を膜中から脱離させた後、500～650℃（好ましくは550～600℃）で6～16時間（好ましくは8～14時間）の熱処理を行う。本実施例では、570℃で14時間の熱処理を行う。その結果、開口部1605を起点として概略基板と平行な方向（矢印で示した方向）に結晶化が進行し、巨視的な結晶成長方向が揃った結晶質半導体膜（本実施例では結晶質シリコン膜）1607が形成される。（図16（B））

## 【0162】

次に、結晶化の工程で用いたニッケルを結晶質シリコン膜から除去するゲッタリング工程を行う。本実施例では、先ほど形成したマスク絶縁膜1604をそのままマスクとして15族に属する元素（本実施例ではリン）を添加する工程を行い、開口部1605で露出した結晶質半導体膜に $1 \times 10^{19} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度でリンを含むゲッタリング領域1608を形成する。（図16（C））

## 【0163】

次に、窒素雰囲気中で450～650℃（好ましくは500～550℃）、4



～24時間（好ましくは6～12時間）の熱処理工程を行う。この熱処理工程により結晶質半導体膜中のニッケルは矢印の方向に移動し、リンのゲッタリング作用によってゲッタリング領域1608に捕獲される。即ち、結晶質半導体膜中からニッケルが除去されるため、結晶質半導体膜1609に含まれるニッケル濃度は、 $1 \times 10^{17} \text{atms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atms/cm}^3$ にまで低減することができる。（図16（D））

## 【0164】

そして、マスク絶縁膜1604を除去した後、ゲッタリング領域1608を完全に取り除くようにしてパターニングを行い、活性層1610を得る。なお、図16（E）では活性層1510を一つしか図示していないが、基板上に複数の活性層を同時に形成することは言うまでもない。

## 【0165】

以上のようにして形成された活性層1610は、結晶化を助長する触媒元素（ここではニッケル）を選択的に添加して結晶化することによって、非常に結晶性の良い結晶質半導体膜で形成されている。具体的には、棒状または柱状の結晶が、特定の方向性を持って並んだ結晶構造を有している。また、結晶化のあとは触媒元素をリンのゲッタリング作用により除去しており、活性層1610中に残存する触媒元素の濃度は、 $1 \times 10^{17} \text{atms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atms/cm}^3$ である。

## 【0166】

なお、本実施例の構成は、実施例1～9のいずれの構成とも自由に組み合わせることが可能である。

## 【0167】

## 〔実施例11〕

実施例9、10では半導体膜を結晶化するために用いた触媒元素をゲッタリングするためにリンを用いたが、本実施例では他の元素を用いて上記触媒元素をゲッタリングする場合について説明する。

## 【0168】

まず、実施例9または実施例10の工程に従って、結晶質半導体膜を得る。但

し、本実施例で用いることのできる基板は、700℃以上に耐えうる耐熱性基板、代表的には石英基板、金属基板、シリコン基板である。また、本実施例では結晶化に用いる触媒元素（ニッケルを例にとる）の濃度を極力低いものとする。具体的には、非晶質半導体膜上に重量換算で0.5～3 ppmのニッケル含有層を形成し、結晶化のための熱処理を行う。これにより形成された結晶質半導体膜中に含まれるニッケル濃度は、 $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ （代表的には  $5 \times 10^{17} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ ）となる。

## 【0169】

そして、結晶質半導体膜を形成したら、ハロゲン元素を含む酸化性雰囲気中で熱処理を行う。温度は800～1150℃（好ましくは900～1000℃）とし、処理時間は10分～4時間（好ましくは30分～1時間）とする。

## 【0170】

本実施例では、酸素雰囲気中に対して3～10体積%の塩化水素を含ませた雰囲気中において、950℃30分の熱処理を行う。この工程により結晶質半導体膜中のニッケルは揮発性の塩化化合物（塩化ニッケル）となって処理雰囲気中に離脱する。即ち、ハロゲン元素のゲッタリング作用によってニッケルを除去することが可能となる。但し、結晶質半導体膜中に存在するニッケル濃度が高すぎると、ニッケルの偏析部で酸化が異常に進行するという問題を生じる。そのため、結晶化の段階で用いるニッケルの濃度を極力低くする必要がある。

## 【0171】

こうして形成された結晶質半導体膜中にに残存するニッケルの濃度は、 $1 \times 10^{17} \text{ atoms/cm}^3$ 以下、好ましくは  $1 \times 10^{16} \text{ atoms/cm}^3$ となる。この後は、結晶質半導体膜をパターニングして、活性層を形成することで、TFTの活性層として用いることが可能である。

## 【0172】

なお、本実施例の構成は実施例1～10のいずれの構成とも自由に組み合わせることが可能である。即ち、実施例9、10に示したリンによるゲッタリング工程と併用することも可能である。

## 【0173】

## 【実施例 12】

本実施例では本発明に用いる結晶質半導体膜（結晶質シリコン膜を例にとる）の結晶性を改善するための工程について説明する。まず、実施例 8～10 のいずれかの工程に従って活性層を形成する。但し、本実施例では TFT を形成する基板として 800～1150℃ の温度に耐えうる基板を用いる材料を用いる必要がある。そのような基板としては、石英基板、金属基板、シリコン基板、セラミックス基板（セラミックスガラス基板も含む）が挙げられる。

## 【0174】

そして、その上に窒化酸化シリコン膜、酸化シリコン膜、または窒化シリコン膜と酸化シリコン膜とを積層した積層膜となるゲート絶縁膜を形成する。ゲート絶縁膜の膜厚は 20～120 nm（代表的には 60～80 nm）とする。

## 【0175】

ゲート絶縁膜を形成したら、酸化性雰囲気中で熱処理を行う。温度は 800～1150℃（好ましくは 900～1000℃）とし、処理時間は 10 分～4 時間（好ましくは 30 分～1 時間）とする。なお、この場合、ドライ酸化法が最も好ましいが、ウェット酸化法であっても良い。また、酸化性雰囲気は 100% 酸素雰囲気でも良いし、実施例 11 のようにハロゲン元素を含ませても良い。

## 【0176】

この熱処理により活性層とゲート絶縁膜との界面付近で活性層が酸化され、熱酸化膜が形成される。その結果、上記界面の準位が低減され、非常に良好な界面特性を示すようになる。さらに、活性層は酸化されることで膜厚が減り、その酸化の際に発生する余剰シリコンによって膜中の欠陥が大幅に低減され、非常に欠陥密度の小さい良好な結晶性を有する半導体膜となる。

## 【0177】

本実施例を実施する場合、最終的な活性層の膜厚が 20～60 nm、ゲート絶縁膜の膜厚が 50～150 nm（代表的には 80～120 nm）となるように調節する。また、欠陥密度の低減効果を十分に引き出すためには、活性層が少なくとも 50 nm は酸化されるようにすることが好ましい。

## 【0178】

以上のような工程を経た活性層の結晶構造は結晶格子に連続性を持つ特異な結晶構造となる。その特徴について以下に説明する。

【0 1 7 9】

上記作製工程に従って形成した結晶質シリコン膜は、微視的に見れば複数の棒状又は柱状の結晶が集まって並んだ結晶構造を有する。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認できた。

【0 1 8 0】

また、電子線回折及びエックス線（X線）回折を利用すると活性層の表面（チャンネルを形成する部分）が、結晶軸に多少のずれが含まれているものの主たる配向面として{1 1 0}面を有することを確認できた。本出願人がスポット径約1.5  $\mu\text{m}$ の電子線回折写真を詳細に観察した結果、{1 1 0}面に対応する回折斑点がきれいに現れているが、各斑点は同心円上に分布を持っていることが確認された。

【0 1 8 1】

また、本出願人は個々の棒状結晶が接して形成する結晶粒界をHR-TEM（高分解能透過型電子顕微鏡法）により観察し、結晶粒界において結晶格子に連続性があることを確認した。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認できた。

【0 1 8 2】

なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol.27, No.5, pp.751-758, 1988」に記載された「Planar boundary」である。

【0 1 8 3】

上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊なtwist粒界などが含まれる。この平面状粒界は電氣的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能し

ないため、実質的に存在しないと見なすことができる。

【0 1 8 4】

特に結晶軸（結晶面に垂直な軸）が  $\langle 1\ 1\ 0 \rangle$  軸である場合、 $\{2\ 1\ 1\}$  双晶粒界は  $\Sigma\ 3$  の対応粒界とも呼ばれる。 $\Sigma$  値は対応粒界の整合性の程度を示す指針となるパラメータであり、 $\Sigma$  値が小さいほど整合性の良い粒界であることが知られている。

【0 1 8 5】

本出願人が本実施例を実施して得た結晶質シリコン膜を詳細に TEM を用いて観察した結果、結晶粒界の殆ど（90%以上、典型的には95%以上）が  $\Sigma\ 3$  の対応粒界、即ち  $\{2\ 1\ 1\}$  双晶粒界であることが判明した。

【0 1 8 6】

二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が  $\{1\ 1\ 0\}$  である場合、 $\{1\ 1\ 1\}$  面に対応する格子縞がなす角を  $\theta$  とすると、 $\theta = 70.5^\circ$  の時に  $\Sigma\ 3$  の対応粒界となることが知られている。

【0 1 8 7】

本実施例の結晶質シリコン膜は、結晶粒界において隣接する結晶粒の各格子縞がまさに約  $70.5^\circ$  の角度で連続しており、その事からこの結晶粒界は  $\{2\ 1\ 1\}$  双晶粒界であるという結論に辿り着いた。

【0 1 8 8】

なお、 $\theta = 38.9^\circ$  の時には  $\Sigma\ 9$  の対応粒界となるが、この様な他の結晶粒界も存在した。

【0 1 8 9】

この様な対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、本実施例を実施して得た結晶質シリコン膜は面方位が概略  $\{1\ 1\ 0\}$  で揃っているからこそ、広範囲に渡ってこの様な対応粒界を形成しうる。

【0 1 9 0】

この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常

に作りにくい構成となっている。従って、この様な結晶構造を有する結晶質シリコン膜は実質的に結晶粒界が存在しない見なすことができる。

【0 1 9 1】

またさらに、700～1150℃という高い温度での熱処理工程（本実施例における熱酸化工程またはゲッタリング工程にあたる）によって結晶粒内に存在する欠陥が殆ど消滅していることがTEM観察によって確認されている。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることから明らかである。

【0 1 9 2】

この欠陥数の差は電子スピン共鳴分析（Electron Spin Resonance : ESR）によってスピン密度の差となって現れる。現状では本実施例の作製工程に従って作製された結晶質シリコン膜のスピン密度は少なくとも  $5 \times 10^{17}$  spins/cm<sup>3</sup> 以下（好ましくは  $3 \times 10^{17}$  spins/cm<sup>3</sup> 以下）であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0 1 9 3】

以上の事から、本実施例を実施することで得られた結晶質シリコン膜は結晶粒内及び結晶粒界が実質的に存在しないため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考えて良い。本出願人はこのような結晶構造を有する結晶質シリコン膜をCGS (Continuous Grain Silicon)と呼んでいる。

【0 1 9 4】

CGSに関する記載は本出願人による特願平10-044659号、特願平10-152316号、特願平10-152308号または特願平10-152305号の出願を参照すれば良い。

【0 1 9 5】

（TFTの電気特性に関する知見）

本実施例の活性層を用いたTFTは、MOSFETに匹敵する電気特性を示した。本出願人が試作したTFT（但し、活性層の膜厚は30nm、ゲート絶縁膜の膜厚は100nm）からは次に示す様なデータが得られている。

【0 1 9 6】

(1) スイッチング性能 (オン/オフ動作切り換えの俊敏性) の指標となるサブスレッショルド係数が、Nチャネル型TFTおよびPチャネル型TFTともに  $60 \sim 100 \text{ mV/decade}$  (代表的には  $60 \sim 85 \text{ mV/decade}$ ) と小さい。

(2) TFTの動作速度の指標となる電界効果移動度 ( $\mu_{FE}$ ) が、Nチャネル型TFTで  $200 \sim 650 \text{ cm}^2/\text{Vs}$  (代表的には  $300 \sim 500 \text{ cm}^2/\text{Vs}$ )、Pチャネル型TFTで  $100 \sim 300 \text{ cm}^2/\text{Vs}$  (代表的には  $150 \sim 200 \text{ cm}^2/\text{Vs}$ ) と大きい。

(3) TFTの駆動電圧の指標となるしきい値電圧 ( $V_{th}$ ) が、Nチャネル型TFTで  $-0.5 \sim 1.5 \text{ V}$ 、Pチャネル型TFTで  $-1.5 \sim 0.5 \text{ V}$  と小さい。

#### 【0197】

以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。なお、本実施例の構成は、実施例1～11のいずれの構成とも自由に組み合わせることが可能である。但し、非晶質半導体膜の結晶化に、実施例9～11で示したような結晶化を助長する触媒元素を用いていることが重要である。

#### 【0198】

##### [実施例13]

本実施例では、実施例9、10に示したいずれかの手段により結晶化した結晶質半導体膜 (結晶質シリコン膜を例にとる) から、結晶化に用いた触媒元素 (本実施例ではニッケルを例にとる) をゲッタリングする手段について説明する。なお、説明には図17を用いる。

#### 【0199】

まず、実施例1と同様の工程に従って、図4 (B) の状態を得る。次に、図4 (C) の工程と同様にリンを添加する。その際、本実施例では図4 (C) のレジストマスク343の代わりに図17 (A) に示すようなレジストマスク1701を用いる。即ち、図4 (C) ではpチャネル型TFTとなる領域を全て隠すようにレジストマスクを設けていたが、図17 (A) では  $p^{++}$  領域の端部を隠さないようにレジストマスクを形成する。

#### 【0200】

この状態で図4 (C) の工程と同様の条件でリンを添加する。その結果、pチャ

チャネル型TFTの $p^{++}$ 領域331、332の端部にもリンが添加され、( $p^{++}+n^{+}$ )領域1702、1703が形成される。但し、 $p^{++}$ 領域に含まれるp型を付与する不純物元素の濃度は、 $n^{+}$ 領域に含まれるリンよりも十分高濃度に添加されているので、 $p^{++}$ 領域のまま維持できる。

#### 【0201】

次に、レジストマスク1701、342、344～346を除去した後、実施例1の図5(A)と同様の濃度でリンの添加工程を行う。この工程により $n^{-}$ 領域361、362、354～357が形成される。(図17(B))

#### 【0202】

次に、実施例1の図5(B)と同様に、添加された不純物元素(リンまたはボロン)の活性化工程を行う。本実施例ではこの活性化工程をファースアニールまたはランプアニールによって行うことが好ましい。ファースアニールを用いる場合、450～650℃、好ましくは500～550℃、ここでは500℃、4時間の熱処理を行うことにする。(図17(C))

#### 【0203】

本実施例の場合、 $n$ チャネル型TFTおよび $p$ チャネル型TFTの双方のソース領域またはドレイン領域に、必ず $n^{+}$ 領域に相当する濃度のリンが含まれた領域を有する。そのため、熱活性化のための熱処理工程において、リンによるニッケルのゲッタリング効果を得ることができる。即ち、チャネル形成領域から矢印で示す方向へニッケルが移動し、ソース領域またはドレイン領域に含まれるリンの作用によってゲッタリングされる。

#### 【0204】

このように本実施例を実施すると、活性層に添加された不純物元素の活性化工程と、結晶化に用いた触媒元素のゲッタリング工程とを兼ねることができ、工程の簡略化に有効である。

#### 【0205】

なお、本実施例の構成は、実施例1～12のいずれの構成とも自由に組み合わせることが可能である。但し、非晶質半導体膜の結晶化に際して、結晶化を助長する触媒元素を用いている場合に有効な技術である。



## 【0206】

## [実施例14]

本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について図18を用いて説明する。なお、途中の工程までは実施例1と同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

## 【0207】

まず、実施例1の工程に従って図4(B)の状態を得る。本実施例ではその状態を図18(A)に示す。次に、レジストマスク333~338を除去して、 $n^{-}$ 領域を形成するためのリンの添加工程を行う。条件は実施例1の図5(A)の工程と同様で良い。図18(A)において、1801~1803で示される領域は、 $n^{-}$ 領域に $n^{-}$ 領域に相当するリンが添加された領域であり、1804~1805は画素TFTのLoff領域となる $n^{-}$ 領域である。(図18(B))

## 【0208】

次に、レジストマスク1807~1811を形成し、図4(C)と同様の条件でリンを添加する。この工程により高濃度にリンが添加された領域1812~1818が形成される。(図18(C))

## 【0209】

この後は、実施例1の工程に従って図5(B)以降の工程を行えば、図5(C)で説明した構造の画素マトリクス回路を得ることができる。本実施例を用いた場合、CMOS回路を形成するpチャネル型TFTのソース領域およびドレイン領域に $n^{+}$ 領域に相当する濃度のリンが添加されない構成となる。そのため、 $p^{+}$ 添加工程に必要なボロン濃度が低くて済み、スループットが短縮する。また、図18(C)の工程でnチャネル型TFTの $p^{++}$ 領域の端部にもリンが添加されるようにすれば、実施例13のゲッタリング工程を行うことが可能である。

## 【0210】

また、ソース領域またはドレイン領域を形成する $n^{+}$ 領域または $p^{++}$ 領域を形成する際、不純物元素を添加する前に、ゲート絶縁膜をエッチングして活性層の一部を露出させ、露出させた部分に不純物元素を添加しても良い。その場合、加

速電圧が低くて済むため、活性層に与えるダメージも少ないし、スループットも向上する。

#### 【0211】

なお、本実施例を実施した場合、工程順序の変化により、最終的に活性層に形成された不純物領域に含まれる不純物元素の濃度が実施例1とは異なる場合もありうる。しかしながら、各不純物領域の実質的な機能は変わらないので、本実施例を実施した場合の最終的な構造の説明は、図5（C）の構造の説明をそのまま参照することができる。

#### 【0212】

なお、本実施例の構成は、実施例1～13のいずれの構成とも自由に組み合わせることが可能である。

#### 【0213】

#### [実施例15]

本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について図18を用いて説明する。なお、途中の工程までは実施例1と同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

#### 【0214】

まず、実施例1の工程に従って図4（B）の状態を得る。本実施例ではその状態を図18（A）に示す。次に、レジストマスク333～338を除去して、 $n^-$ 領域を形成するためのリンの添加工程を行う。条件は実施例1の図5（A）の工程と同様で良い。図18（A）において、1801～1803で示される領域は、 $n^-$ 領域に $n^{++}$ 領域に相当するリンが添加された領域であり、1804～1805は画素TFTのLoff領域となる $n^{++}$ 領域である。（図18（B））

#### 【0215】

次に、レジストマスク1807～1811を形成し、図4（C）と同様の条件でリンを添加する。この工程により高濃度にリンが添加された領域1812～1818が形成される。（図18（C））

#### 【0216】

この後は、実施例 1 の工程に従って図 5 (B) 以降の工程を行えば、図 5 (C) で説明した構造の画素マトリクス回路を得ることができる。本実施例を用いた場合、CMOS 回路を形成する p チャネル型 TFT のソース領域およびドレイン領域に  $n^+$  領域に相当する濃度のリンが添加されない構成となる。そのため、 $p^+$  添加工程に必要なボロン濃度が低くて済み、スループットが短縮する。また、図 18 (C) の工程で n チャネル型 TFT の  $p^{++}$  領域の端部にもリンが添加されるようにすれば、実施例 13 のゲッターリング工程を行うことが可能である。

## 【0217】

また、ソース領域またはドレイン領域を形成する  $n^+$  領域または  $p^{++}$  領域を形成する際、不純物元素を添加する前に、ゲート絶縁膜をエッチングして活性層の一部を露出させ、露出させた部分に不純物元素を添加しても良い。その場合、加速電圧が低くて済むため、活性層に与えるダメージも少ないし、スループットも向上する。

## 【0218】

なお、本実施例を実施した場合、工程順序の変化により、最終的に活性層に形成された不純物領域に含まれる不純物元素の濃度が実施例 1 とは異なる場合もありうる。しかしながら、各不純物領域の実質的な機能は変わらないので、本実施例を実施した場合の最終的な構造の説明は、図 5 (C) の構造の説明をそのまま参照することができる。

## 【0219】

なお、本実施例の構成は、実施例 1 ～ 13 のいずれの構成とも自由に組み合わせることが可能である。

## 【0220】

## [実施例 16]

本実施例では、実施例 1 とは異なる工程順序で TFT を作製する場合について図 19 を用いて説明する。なお、途中の工程までは実施例 1 と同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例 1 と同様の不純物元素を例にとる。

## 【0221】

まず、実施例 1 の工程に従って図 3 (D) の状態を得る。そして、次に n チャネル型 TFT のゲート配線およびその他の接続配線を形成する。図 19 (A) において、1901、1902 は接続配線、1903 ~ 1905 は n チャネル型 TFT のゲート配線、1906 は後に p チャネル型 TFT のゲート配線を形成するための導電膜である。

【0222】

次に、レジストマスク 1907 ~ 1911 を形成し、実施例 1 の図 4 (C) の工程と同様の条件でリンを添加する。こうして、高濃度にリンを含む不純物領域 1912 ~ 1918 が形成される。(図 19 (A))

【0223】

次に、レジストマスク 1907 ~ 1911 を除去した後、レジストマスク 1919 ~ 1924 を形成し、p チャネル型 TFT のゲート配線 1925 を形成する。そして、図 4 (A) と同様の条件でボロンを添加し、 $p^{++}$  領域 1926、1927 を形成する。(図 19 (B))

【0224】

次に、レジストマスク 1919 ~ 1924 を除去した後、図 5 (A) と同様の条件でリンを添加する。この添加工程により ( $n^- + n^{--}$ ) 領域 1930、1931 および  $n^{--}$  領域 1932 ~ 1935 が形成される。(図 19 (C))

【0225】

この後は、実施例 1 の工程に従って図 5 (B) 以降の工程を行えば、図 8 (C) で説明した構造の画素マトリクス回路を得ることができる。本実施例を用いた場合、CMOS 回路を形成する p チャネル型 TFT のソース領域およびドレイン領域に  $n^+$  領域に相当する濃度のリンが添加されない構成となる。そのため、 $p^+$  添加工程に必要なボロン濃度が低くて済み、スループットが短縮する。

【0226】

また、ソース領域またはドレイン領域を形成する  $n^+$  領域または  $p^{++}$  領域を形成する際、不純物元素を添加する前に、ゲート絶縁膜をエッチングして活性層の一部を露出させ、露出させた部分に不純物元素を添加しても良い。その場合、加速電圧が低くて済むため、活性層に与えるダメージも少ないし、スループットも

向上する。

【0227】

なお、本実施例を実施した場合、工程順序の変化により、最終的に活性層に形成された不純物領域に含まれる不純物元素の濃度が実施例1とは異なる場合もありうる。しかしながら、各不純物領域の実質的な機能は変わらないので、本実施例を実施した場合の最終的な構造の説明は、図5（C）の構造の説明をそのまま参照することができる。

【0228】

なお、本実施例の構成は、実施例1～13のいずれの構成とも自由に組み合わせることが可能である。

【0229】

〔実施例17〕

本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について図20を用いて説明する。なお、途中の工程までは実施例1と同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0230】

まず、実施例1の工程に従って図3（D）の状態を得て、実施例16の工程に従って図19（A）に示す状態を得る。本実施例ではこの状態を図20（A）に示す。なお、図20（A）に用いた符号は図19（A）と同一の符号である。

【0231】

次に、レジストマスク1907～1911を除去した後、図5（A）と同様の条件でリンを添加する。この添加工程により（ $n^- + n^-$ ）領域2001、2002および $n^-$ 領域2003～2006が形成される。（図20（B））

【0232】

次に、レジストマスク2007～2012を形成し、pチャネル型TFTのゲート配線2013を形成する。そして、図4（A）と同様の条件でボロンを添加し、 $p^{++}$ 領域2014、2015を形成する。（図20（C））

【0233】

この後は、実施例 1 の工程に従って図 5 (B) 以降の工程を行えば、図 5 (C) で説明した構造の画素マトリクス回路を得ることができる。本実施例を用いた場合、CMOS 回路を形成する p チャネル型 TFT のソース領域およびドレイン領域に全くリンが添加されない構成となる。そのため、 $p^{++}$  添加工程に必要なボロン濃度が低くて済み、スループットが短縮する。

## 【0 2 3 4】

また、ソース領域またはドレイン領域を形成する  $n^{+}$  領域または  $p^{++}$  領域を形成する際、不純物元素を添加する前に、ゲート絶縁膜をエッチングして活性層の一部を露出させ、露出させた部分に不純物元素を添加しても良い。その場合、加速電圧が低くて済むため、活性層に与えるダメージも少ないし、スループットも向上する。

## 【0 2 3 5】

なお、本実施例を実施した場合、工程順序の変化により、最終的に活性層に形成された不純物領域に含まれる不純物元素の濃度が実施例 1 とは異なる場合もありうる。しかしながら、各不純物領域の実質的な機能は変わらないので、本実施例を実施した場合の最終的な構造の説明は、図 5 (C) の構造の説明をそのまま参照することができる。

## 【0 2 3 6】

なお、本実施例の構成は、実施例 1 ~ 1 3 のいずれの構成とも自由に組み合わせることが可能である。

## 【0 2 3 7】

## [実施例 1 8]

本実施例では、実施例 1 とは異なる工程順序で TFT を作製する場合について図 2 1 を用いて説明する。なお、途中の工程までは実施例 1 と同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例 1 と同様の不純物元素を例にとる。

## 【0 2 3 8】

まず、実施例 1 の工程に従って図 3 (D) の状態を得る。そして、図 4 (A) の工程 (p チャネル型 TFT のゲート配線と  $p^{++}$  領域の形成工程) を行わずに、

図 4 (B) と同様に n チャンネル型 T F T のゲート配線およびその他の接続配線を形成する。なお、図 2 1 (A) では図 4 (B) と同一の符号を用いている。但し、p チャンネル型 T F T となる領域に関しては、レジストマスク 2 1 0 1 を形成して、後に p チャンネル型 T F T のゲート配線となる導電膜 2 1 0 2 を残す。

【0 2 3 9】

次に、レジストマスクを残したまま、図 5 (A) と同様の条件でリンを添加する。この添加工程により ( $n^- + n^{--}$ ) 領域 2 1 0 3 ~ 2 1 0 5 および  $n^{--}$  領域 2 1 0 6 ~ 2 1 0 8 が形成される。(図 2 1 (B))

【0 2 4 0】

次に、レジストマスク 2 1 0 9 ~ 2 1 1 3 を形成し、実施例 1 の図 4 (C) の工程と同様の条件でリンを添加する。こうして、高濃度にリンを含む不純物領域 2 1 1 4 ~ 2 1 2 0 が形成される。(図 2 1 (C))

【0 2 4 1】

次に、レジストマスク 2 1 0 9 ~ 2 1 1 3 を除去した後、新たにレジストマスク 2 1 2 1 ~ 2 1 2 6 を形成し、p チャンネル型 T F T のゲート配線 2 1 2 7 を形成する。そして、図 4 (A) と同様の条件でボロンを添加し、 $p^{++}$  領域 2 1 2 8、2 1 2 9 を形成する。(図 2 1 (D))

【0 2 4 2】

この後は、実施例 1 の工程に従って図 5 (B) 以降の工程を行えば、図 5 (C) で説明した構造の画素マトリクス回路を得ることができる。本実施例を用いた場合、CMOS 回路を形成する p チャンネル型 T F T のソース領域およびドレイン領域に全くリンが添加されない構成となる。そのため、 $p^{++}$  添加工程に必要なボロン濃度が低くて済み、スループットが短縮する。

【0 2 4 3】

また、ソース領域またはドレイン領域を形成する  $n^+$  領域または  $p^{++}$  領域を形成する際、不純物元素を添加する前に、ゲート絶縁膜をエッチングして活性層の一部を露出させ、露出させた部分に不純物元素を添加しても良い。その場合、加速電圧が低くて済むため、活性層に与えるダメージも少ないし、スループットも向上する。

【 0 2 4 4 】

なお、本実施例を実施した場合、工程順序の変化により、最終的に活性層に形成された不純物領域に含まれる不純物元素の濃度が実施例 1 とは異なる場合もありうる。しかしながら、各不純物領域の実質的な機能は変わらないので、本実施例を実施した場合の最終的な構造の説明は、図 5 (C) の構造の説明をそのまま参照することができる。

【 0 2 4 5 】

なお、本実施例の構成は、実施例 1 ～ 1 3 のいずれの構成とも自由に組み合わせることが可能である。

【 0 2 4 6 】

[ 実施例 1 9 ]

本実施例では、実施例 1 とは異なる工程順序で T F T を作製する場合について図 2 2 を用いて説明する。なお、途中の工程までは実施例 1 と同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例 1 と同様の不純物元素を例にとる。

【 0 2 4 7 】

まず、実施例 1 の工程に従って図 3 (D) の状態を得て、実施例 1 8 の工程に従って図 2 1 (B) に示す状態を得る。本実施例ではこの状態を図 2 2 (A) に示す。なお、図 2 2 (A) に用いた符号は図 2 1 (B) と同一の符号である。

【 0 2 4 8 】

次に、レジストマスクを除去した後、新たにレジストマスク 2 2 0 1 ～ 2 2 0 6 を形成し、p チャネル型 T F T のゲート配線 2 2 0 7 を形成する。そして、図 4 (A) と同様の条件でボロンを添加し、 $p^{++}$  領域 2 2 0 8、2 2 0 9 を形成する。(図 2 2 (B))

【 0 2 4 9 】

次に、レジストマスク 2 2 1 0 ～ 2 2 1 4 を形成し、図 4 (C) の工程と同様の条件でリンを添加する。こうして、高濃度にリンを含む不純物領域 2 2 1 5 ～ 2 2 2 1 が形成される。(図 2 2 (C))

【 0 2 5 0 】



この後は、実施例 1 の工程に従って図 5 (B) 以降の工程を行えば、図 5 (C) で説明した構造の画素マトリクス回路を得ることができる。本実施例を用いた場合、CMOS 回路を形成する p チャネル型 TFT のソース領域およびドレイン領域に全くリンが添加されない構成となる。そのため、 $p^{++}$  添加工程に必要なボロン濃度が低くて済み、スループットが短縮する。また、図 22 (C) の工程で  $p^{++}$  領域 2208、2209 の端部にもリンが添加されるようにすれば、実施例 12 のゲッターリング工程を行うことが可能である。

## 【0251】

また、ソース領域またはドレイン領域を形成する  $n^{+}$  領域または  $p^{++}$  領域を形成する際、不純物元素を添加する前に、ゲート絶縁膜をエッチングして活性層の一部を露出させ、露出させた部分に不純物元素を添加しても良い。その場合、加速電圧が低くて済むため、活性層に与えるダメージも少ないし、スループットも向上する。

## 【0252】

なお、本実施例を実施した場合、工程順序の変化により、最終的に活性層に形成された不純物領域に含まれる不純物元素の濃度が実施例 1 とは異なる場合もありうる。しかしながら、各不純物領域の実質的な機能は変わらないので、本実施例を実施した場合の最終的な構造の説明は、図 5 (C) の構造の説明をそのまま参照することができる。

## 【0253】

なお、本実施例の構成は、実施例 1 ～ 13 のいずれの構成とも自由に組み合わせることが可能である。

## 【0254】

## [実施例 20]

実施例 1、15 ～ 19 に示した作製工程例では、n チャネル型 TFT のゲート配線を形成する前に、前もって後に Lov 領域として機能する  $n^{-}$  領域を形成することが前提となっている。そして、 $p^{++}$  領域、 $n^{-}$  領域はともに自己整合的に形成されることが特徴となっている。

## 【0255】

しかしながら、本実施例の T F T 構造による効果を得るためには最終的な構造が図 5 (C) のような構造となっていれば良く、そこに至るプロセスに限定されるものではない。従って、場合によっては  $p^{++}$  領域や  $n^{--}$  領域を、レジストマスクを用いて形成することも可能である。その場合、本発明の作製工程例は実施例 1、1 5 ~ 1 9 に限らず、あらゆる組み合わせが可能である。

## 【 0 2 5 6 】

本発明において T F T の活性層となる活性層に一導電性を付与する不純物元素を添加する際、 $n^{-}$  領域の形成、 $n^{+}$  領域の形成、 $n^{--}$  領域の形成、 $p^{++}$  領域の形成という 4 つの工程が必要である。従って、この順序を変えた作製工程だけでも 2 4 通りがあり、実施例 1、1 5 ~ 1 9 に示したのはその中の 6 通りである。

## 【 0 2 5 7 】

また、ソース領域またはドレイン領域を形成する  $n^{+}$  領域または  $p^{++}$  領域を形成する際、不純物元素を添加する前に、ゲート絶縁膜をエッチングして活性層の一部を露出させ、露出させた部分に不純物元素を添加しても良い。その場合、加速電圧が低くて済むため、活性層に与えるダメージも少ないし、スループットも向上する。

## 【 0 2 5 8 】

なお、本実施例の構成は、実施例 1 ~ 1 3 のいずれの構成とも自由に組み合わせることが可能である。

## 【 0 2 5 9 】

## 〔実施例 2 1〕

本実施例では、本発明をボトムゲート型 T F T に用いた場合について説明する。具体的には、逆スタガ型 T F T に用いた場合を図 2 3 に示す。本発明の逆スタガ型 T F T の場合、実施例 1 のトップゲート型 T F T とはゲート配線と活性層の位置関係が異なる以外、特に大きく異なることはない。従って、本実施例では、図 5 (C) に示した構造と大きく異なる点に注目して説明を行い、その他の部分は図 5 (C) と同一であるため説明を省略する。実施例 1 と同様にして、遮蔽膜とその陽極酸化膜と、画素電極からなる保持容量が形成されている。この陽極酸化膜は発明の実施の形態に示した方法で形成する。

【0 2 6 0】

図 2 3 において、1 1、1 2 はそれぞれシフトレジスタ回路等を形成する CMOS 回路の p チャネル型 T F T、n チャネル型 T F T、1 3 はサンプリング回路等を形成する n チャネル型 T F T、1 4 は画素マトリクス回路を形成する n チャネル型 T F T である。これらは下地膜を設けた基板上に形成されている。

【0 2 6 1】

また、1 5 は p チャネル型 T F T 1 1 のゲート配線、1 6 は n チャネル型 T F T 1 2 のゲート配線、1 7 は n チャネル型 T F T 1 3 のゲート配線、1 8 は n チャネル型 T F T 1 4 のゲート配線であり、実施例 4 で説明したゲート配線と同じ材料を用いて形成することができる。また、1 9 はゲート絶縁膜であり、これも実施例 4 と同じ材料を用いることができる。

【0 2 6 2】

その上には各 T F T 1 1 ～ 1 4 の活性層（活性層）が形成される。p チャネル型 T F T 1 1 の活性層には、ソース領域 2 0、ドレイン領域 2 1、チャネル形成領域 2 2 が形成される。

【0 2 6 3】

また、n チャネル型 T F T 1 2 の活性層には、ソース領域 2 3、ドレイン領域 2 4、L D D 領域（この場合、L o v 領域 2 5）、チャネル形成領域 2 6 が形成される。

【0 2 6 4】

また、n チャネル型 T F T 1 3 の活性層には、ソース領域 2 7、ドレイン領域 2 8、L D D 領域（この場合、L o v 領域 2 9 a、3 0 a 及び L o f f 領域 2 9 b、3 0 b）、チャネル形成領域 3 1 が形成される。

【0 2 6 5】

また、n チャネル型 T F T 1 4 の活性層には、ソース領域 3 2、ドレイン領域 3 3、L D D 領域（この場合、L o f f 領域 3 4 ～ 3 7）、チャネル形成領域 3 8、3 9、n<sup>+</sup>領域 4 0 が形成される。

【0 2 6 6】

なお、4 1 ～ 4 5 で示される絶縁膜は、チャネル形成領域を保護する目的と L D

D領域を形成する目的のために形成されている。

【0 2 6 7】

以上のように本発明を逆スタガ型T F Tに代表されるボトムゲート型T F Tに適用することは容易である。なお、本実施例の逆スタガ型T F Tを作製するにあたっては、本明細書中に記載された他の実施例に示される作製工程を、公知の逆スタガ型T F Tの作製工程に適用すれば良い。また、実施例5、7に示したようなアクティブマトリクス型液晶表示装置に本実施例の構成を適用することも可能である。

【0 2 6 8】

また、プラスチック基板上にゲートを設け、陽極酸化を行う場合においても適用することができる。プラスチック基板は、有機樹脂膜と同様に金属膜との密着性が不良であり、発明の実施の形態に記載した陽極酸化方法を用いるのに適している。

【0 2 6 9】

[実施例22]

本実施例では、本発明をシリコン基板上に作製した反射型液晶表示装置に適用した場合について説明する。本実施例は、実施例1において、結晶質シリコン膜でなる活性層の代わりに、シリコン基板（シリコンウェハ）に直接的にn型またはp型を付与する不純物元素を添加し、T F T構造を実現すれば良い。また、反射型であるので、画素電極として反射率の高い金属膜（例えばアルミニウム、銀、またはこれらの合金（A l - A g 合金）等を用いれば良い。

【0 2 7 0】

即ち、同一基板上に画素マトリクス回路とドライバー回路とを少なくとも含み、ドライバー回路を形成するnチャネル型T F TのL D D領域は、少なくとも一部または全部がゲート配線と重なるように配置され、画素マトリクス回路を形成する画素T F TのL D D領域はゲート配線と重ならないように配置され、ドライバー回路を形成するnチャネル型T F TのL D D領域には、画素T F TのL D D領域よりも高い濃度でn型を付与する不純物元素が含まれる、という構成を有する構造であれば良い。

【0271】

なお、本実施例の構成は、実施例1～21のいずれの構成とも自由に組み合わせることが可能である。

【0272】

[実施例23]

本発明は従来のMOSFET上に層間絶縁膜を形成し、その上にTFTを形成する際に用いることも可能である。即ち、三次元構造の半導体装置を実現することも可能である。また、基板としてSIMOX、Smart-Cut (SOITEC社の登録商標)、ELTRAN (キャノン株式会社の登録商標) などのSOI基板を用いることも可能である。

【0273】

なお、本実施例の構成は、実施例1～22のいずれの構成とも自由に組み合わせることが可能である。

【0274】

[実施例24]

本発明はアクティブマトリクス型ELディスプレイに適用することも可能である。その例を図24に示す。

【0275】

図24 (A) はアクティブマトリクス型ELディスプレイの回路図である。81は表示領域を表しており、その周辺にはX方向駆動回路82、Y方向駆動回路83が設けられている。また、表示領域81の各画素は、スイッチ用TFT84、保持容量85、電流制御用TFT86、有機EL素子87を有し、スイッチ用TFT84にX方向信号線88a (または88b)、Y方向信号線89a (または89b、89c) が接続される。また、電流制御用TFT86には、電源線90a、90bが接続される。

【0276】

本実施例のアクティブマトリクス型ELディスプレイでは、X方向駆動回路82、Y方向駆動回路83に用いられるTFTを図5 (C) のpチャネル型TFT501、nチャネル型TFT502または503を組み合わせて形成する。また、

スイッチ用 TFT 84 や電流制御用 TFT 86 の TFT を図 5 (C) の n チャネル型 TFT 504 で形成する。

【0277】

また、アクティブマトリクス型 EL ディスプレイの上面図を図 24 (B) に示した。本実施例においては、発明の実施の形態に示した陽極酸化方法により電源線 90a、90b の表面に陽極酸化膜を形成し、85 で示した領域で保持容量を形成している。

【0278】

なお、本実施例のアクティブマトリクス型 EL ディスプレイに対して、実施例 1 ~ 23 のいずれの構成を組み合わせても良い。

【0279】

【実施例 25】

本発明によって作製された液晶表示装置は様々な液晶材料を用いることが可能である。そのような材料として、TN 液晶、PDLC (ポリマー分散型液晶)、FLC (強誘電性液晶)、AFLC (反強誘電性液晶)、または FLC と AFLC の混合物が挙げられる。

【0280】

例えば、「H.Furue et al.; Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLC Display Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability, SID, 1998」、「T.Yoshida et al.; A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time, 841, SID97DIGEST, 1997」、または米国特許第 5,594,569 号に開示された材料を用いることができる。

【0281】

特に、しきい値なし (無しきい値) の反強誘電性液晶 (Thresholdless Antiferroelectric LCD: TL-AFLC と略記する) を使うと、液晶の動作電圧を ±2.5 V 程度に低減しうるため電源電圧として 5 ~ 8 V 程度で済む場合がある。即ち、ドライバー回路と画素マトリクス回路を同じ電源電圧で動作させることが可能となり、液晶表示装置全体の低消費電力化を図ることができる。

【 0 2 8 2 】

また、強誘電性液晶や反強誘電性液晶は T N 液晶に比べて応答速度が速いという利点をもつ。上記実施例で用いるような結晶質 T F T は非常に動作速度の速い T F T を実現しうるため、強誘電性液晶や反強誘電性液晶の応答速度の速さを十分に生かした画像応答速度の速い液晶表示装置を実現することが可能である。

【 0 2 8 3 】

なお、本実施例の液晶表示装置をパーソナルコンピュータ等の電子機器の表示ディスプレイとして用いることが有効であることは言うまでもない。

【 0 2 8 4 】

また、本実施例の構成は、実施例 1 ～ 2 3 のいずれの構成とも自由に組み合わせることが可能である。

【 0 2 8 5 】

〔実施例 2 6〕

本発明を実施して形成された C M O S 回路や画素マトリクス回路は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 E L ディスプレイ、アクティブマトリクス型 E C ディスプレイ）に用いることができる。即ち、それら電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を実施できる。

【 0 2 8 6 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 2 5 に示す。

【 0 2 8 7 】

図 2 5 （ A ） は携帯電話であり、本体 3 0 0 1、音声出力部 3 0 0 2、音声入力部 3 0 0 3、表示装置 3 0 0 4、操作スイッチ 3 0 0 5、アンテナ 3 0 0 6 で構成される。本願発明を音声出力部 3 0 0 2、音声入力部 3 0 0 3、表示装置 3 0 0 4 やその他の信号制御回路に適用することができる。

【0 2 8 8】

図 2 5 (B) はビデオカメラであり、本体 3 1 0 1、表示装置 3 1 0 2、音声入力部 3 1 0 3、操作スイッチ 3 1 0 4、バッテリー 3 1 0 5、受像部 3 1 0 6 で構成される。本願発明を表示装置 3 1 0 2、音声入力部 3 1 0 3 やその他の信号制御回路に適用することができる。

【0 2 8 9】

図 2 5 (C) はモバイルコンピュータ（モービルコンピュータ）であり、本体 3 2 0 1、カメラ部 3 2 0 2、受像部 3 2 0 3、操作スイッチ 3 2 0 4、表示装置 3 2 0 5 で構成される。本願発明は表示装置 3 2 0 5 やその他の信号制御回路に適用できる。

【0 2 9 0】

図 2 5 (D) はゴーグル型ディスプレイであり、本体 3 3 0 1、表示装置 3 3 0 2、アーム部 3 3 0 3 で構成される。本発明は表示装置 3 3 0 2 やその他の信号制御回路に適用することができる。

【0 2 9 1】

図 2 5 (E) はリア型プロジェクターであり、本体 3 4 0 1、光源 3 4 0 2、表示装置 3 4 0 3、偏光ビームスプリッタ 3 4 0 4、リフレクター 3 4 0 5、3 4 0 6、スクリーン 3 4 0 7 で構成される。本発明は表示装置 3 4 0 3 やその他の信号制御回路に適用することができる。

【0 2 9 2】

図 2 5 (F) はフロント型プロジェクターであり、本体 3 5 0 1、光源 3 5 0 2、表示装置 3 5 0 3、光学系 3 5 0 4、スクリーン 3 5 0 5 で構成される。本発明は表示装置 3 5 0 2 やその他の信号制御回路に適用することができる。

【0 2 9 3】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1～2 5 のどのような組み合わせからなる構成を用いても実現することができる。

【0 2 9 4】

【発明の効果】



本願発明を用いることにより、AM-LCDに代表される電気光学装置の各回路に用いられる絶縁膜、特に樹脂膜上に形成された電極の表面を陽極酸化膜で覆うことによって、廻り込み量Xが $0.5\mu\text{m}$ 以下、好ましくは $0.1\mu\text{m}$ 以下とすることができ、密着性の優れた電極を有する信頼性の高い半導体装置を作製することができた。

【0295】

また、AM-LCDに代表される電気光学装置の画素マトリクス回路において、小さい面積で大きなキャパシティを有する保持容量を形成することができる。従って、対角1インチ以下のAM-LCDにおいても開口率を低下させることなく、十分な保持容量を確保することが可能となった。加えて、陽極酸化膜の廻り込み量Xが $0.5\mu\text{m}$ 以下、好ましくは $0.1\mu\text{m}$ 以下であるため、その上に形成する画素電極のカバレッジも良好とすることができ、歩留まりも向上できた。

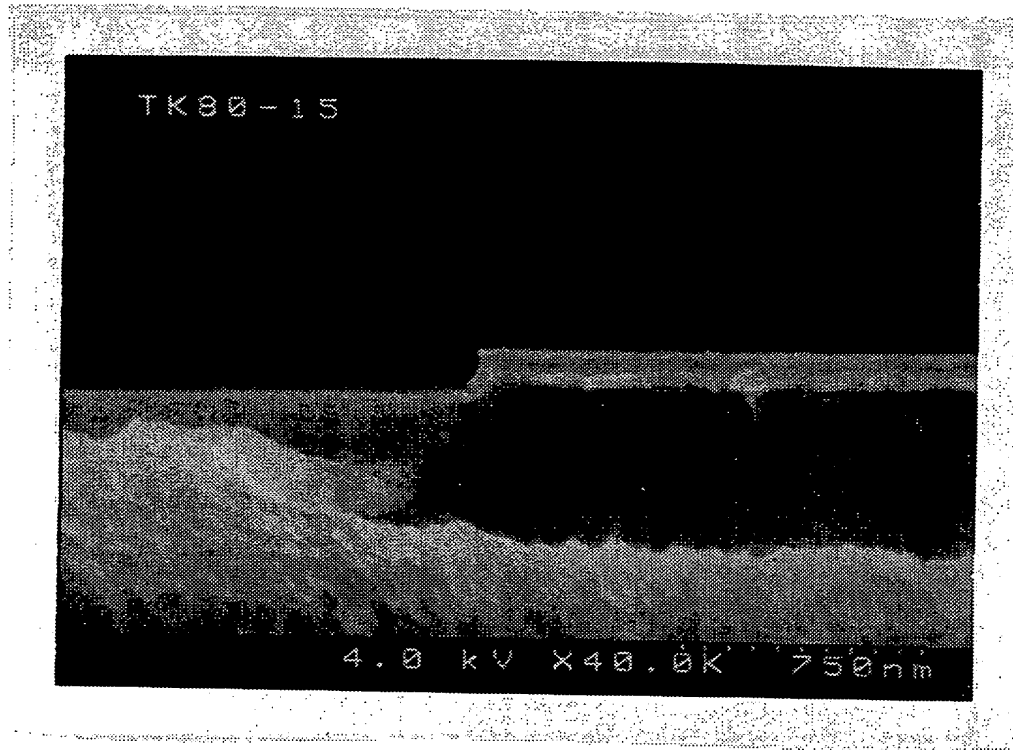
【図面の簡単な説明】

- 【図1】 陽極酸化（本発明）によるSEM写真図およびその模式図。
- 【図2】 陽極酸化工程における印加電圧と電流の関係を示す図（本発明）。
- 【図3】 AM-LCDの作製工程を示す図。
- 【図4】 AM-LCDの作製工程を示す図。
- 【図5】 AM-LCDの作製工程を示す図。
- 【図6】 アクティブマトリクス型液晶表示装置の断面構造図。
- 【図7】 保持容量の構成を示す断面図。
- 【図8】 画素マトリクス回路の作製工程を示す図。
- 【図9】 画素マトリクス回路の上面図を示す図。
- 【図10】 保持容量の構成を示す断面図。
- 【図11】 保持容量の構成を示す断面図。
- 【図12】 アルミニウム膜の吸光度を示す図。
- 【図13】 AM-LCDの回路ブロック図。
- 【図14】 AM-LCDの外観を示す図。
- 【図15】 結晶質半導体膜の作製工程を示す断面図。
- 【図16】 結晶質半導体膜の作製工程を示す断面図。

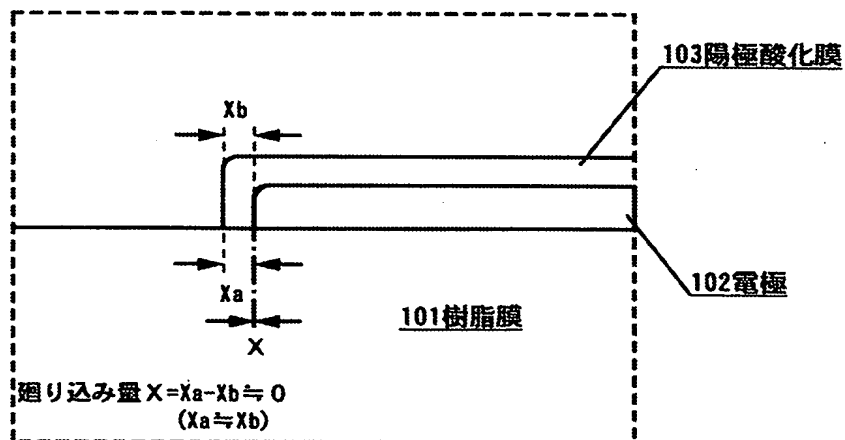
- 【図 1 7】 画素マトリクス回路とドライバー回路の作製工程を示す図。
- 【図 1 8】 画素マトリクス回路とドライバー回路の作製工程を示す図。
- 【図 1 9】 画素マトリクス回路とドライバー回路の作製工程を示す図。
- 【図 2 0】 画素マトリクス回路とドライバー回路の作製工程を示す図。
- 【図 2 1】 画素マトリクス回路とドライバー回路の作製工程を示す図。
- 【図 2 2】 画素マトリクス回路とドライバー回路の作製工程を示す図。
- 【図 2 3】 画素マトリクス回路とドライバー回路の構成を示す図。
- 【図 2 4】 アクティブマトリクス型 E L 表示装置の構成を示す図。
- 【図 2 5】 電子機器の一例を示す図。
- 【図 2 6】 陽極酸化工程における印加電圧と電流の関係を示す図（比較例）。
- 【図 2 7】 陽極酸化（比較例）による S E M 写真図およびその模式図。

【書類名】 図面

【図 1】

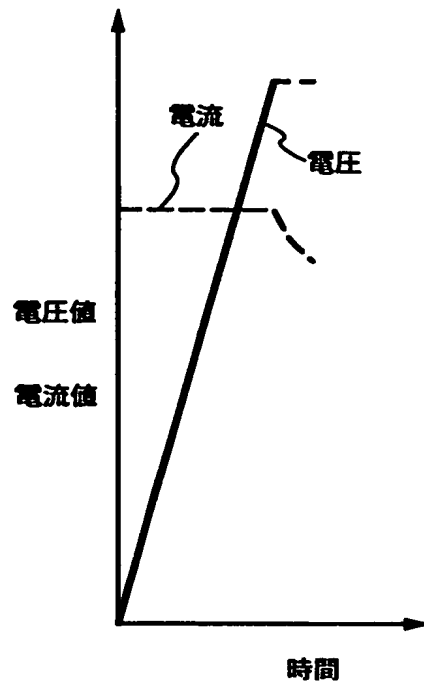


(A) SEM観察写真 (断面)



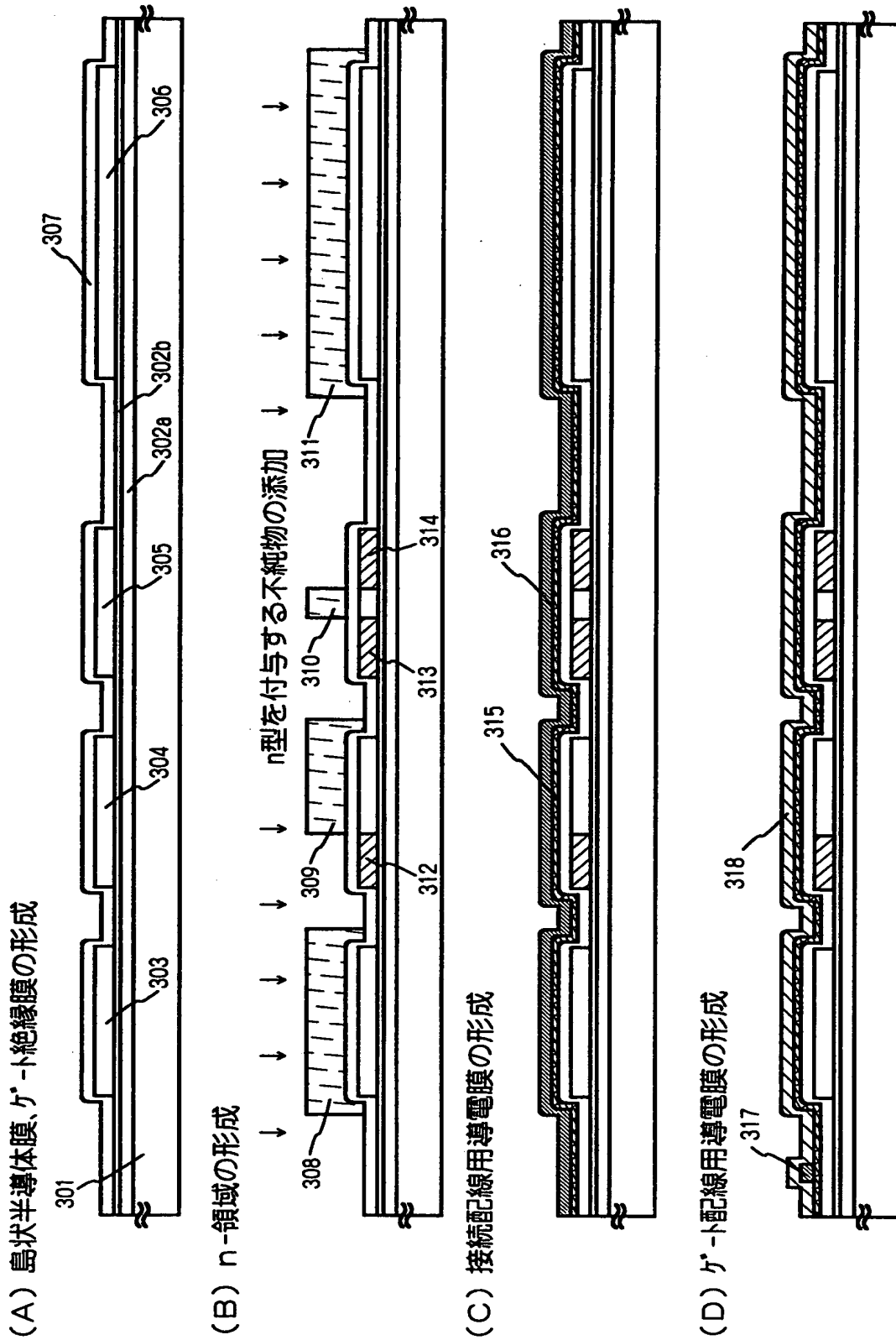
(B) 電極端部における拡大模式図

【図 2】



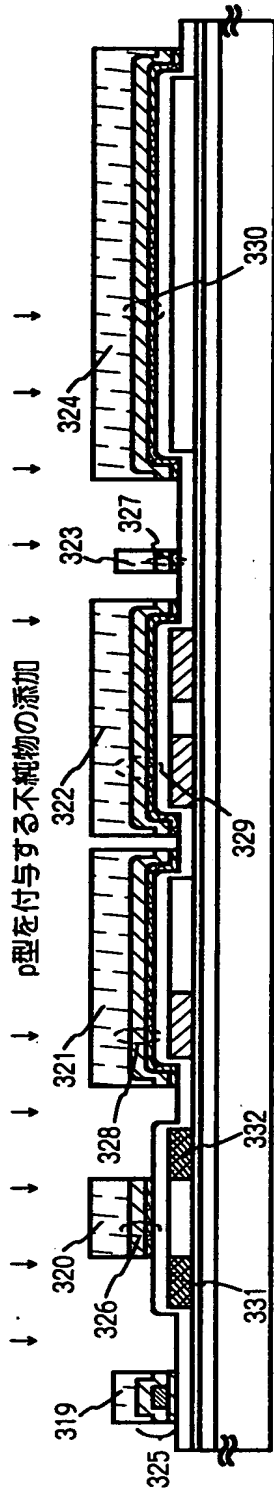
本発明の陽極酸化工程における、電極間の電圧と電流の関係を示す図

【図 3】

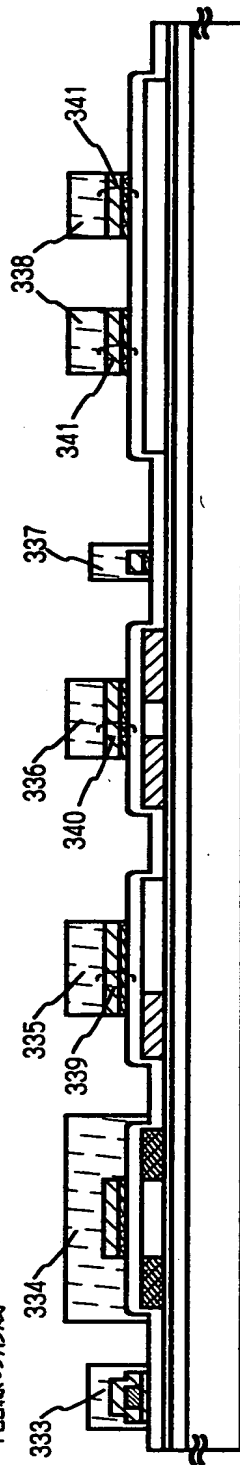


【図 4】

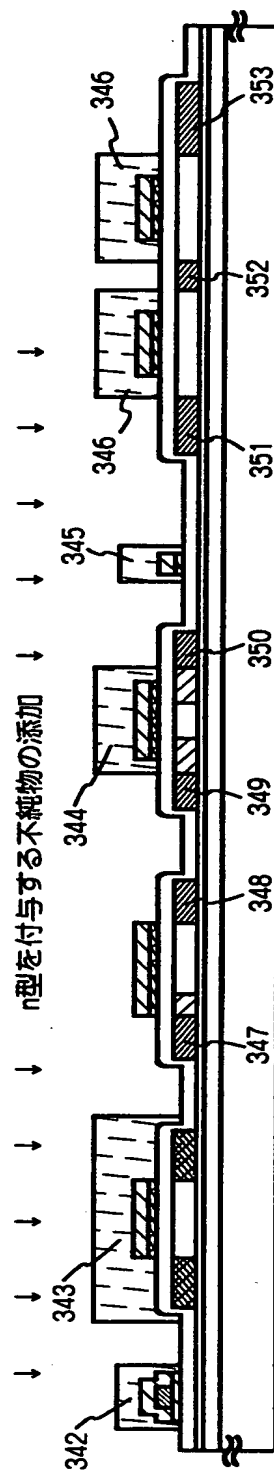
(A) p-ch $\gamma$ -ト配線の形成、接続配線の形成、p++領域の形成



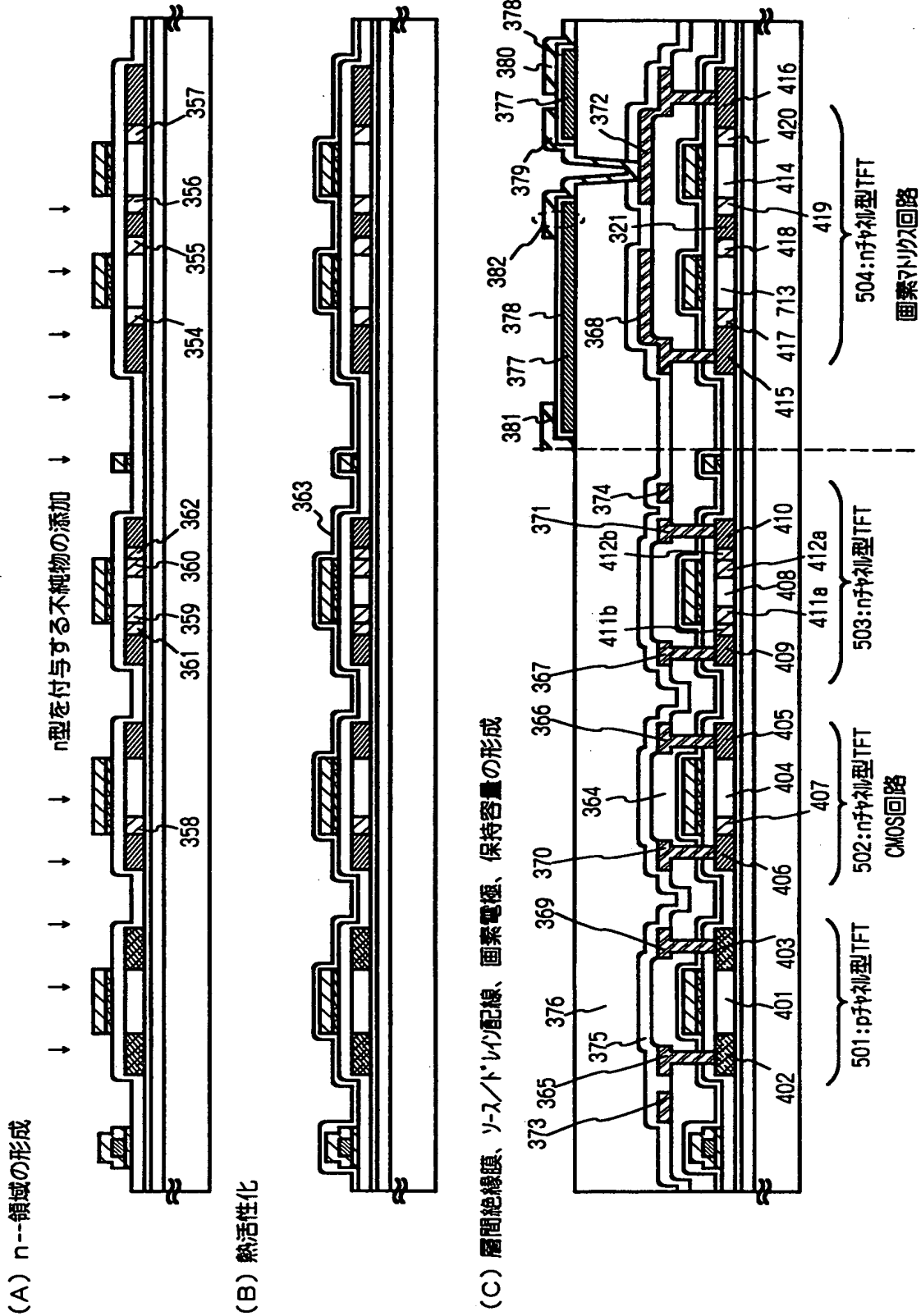
(B) n-ch $\gamma$ -ト配線の形成



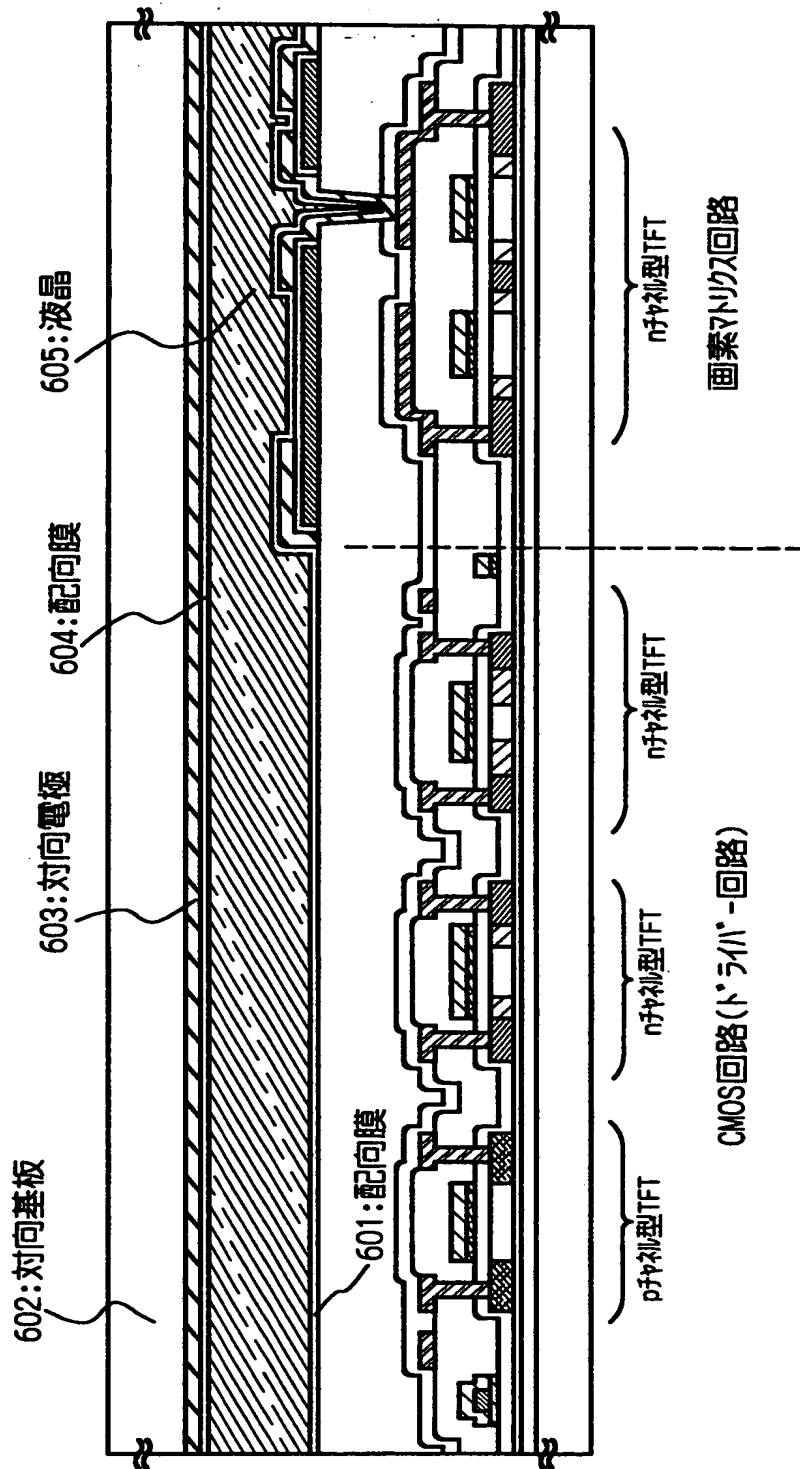
(C) n+領域の形成



【図 5】

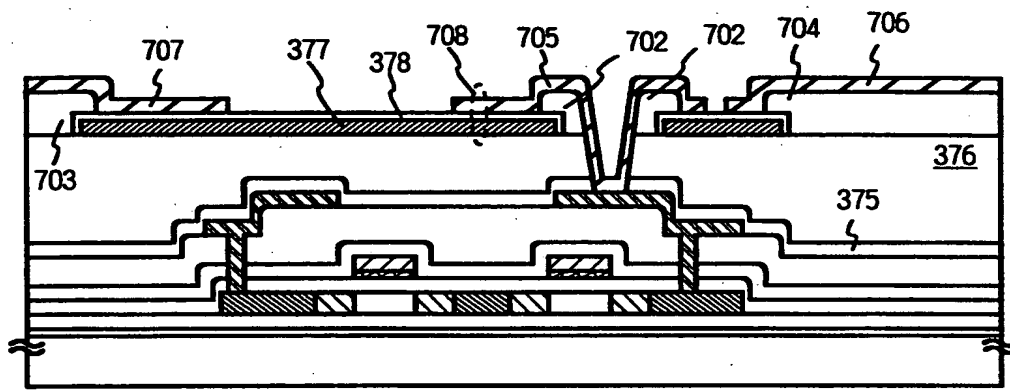


【図 6】





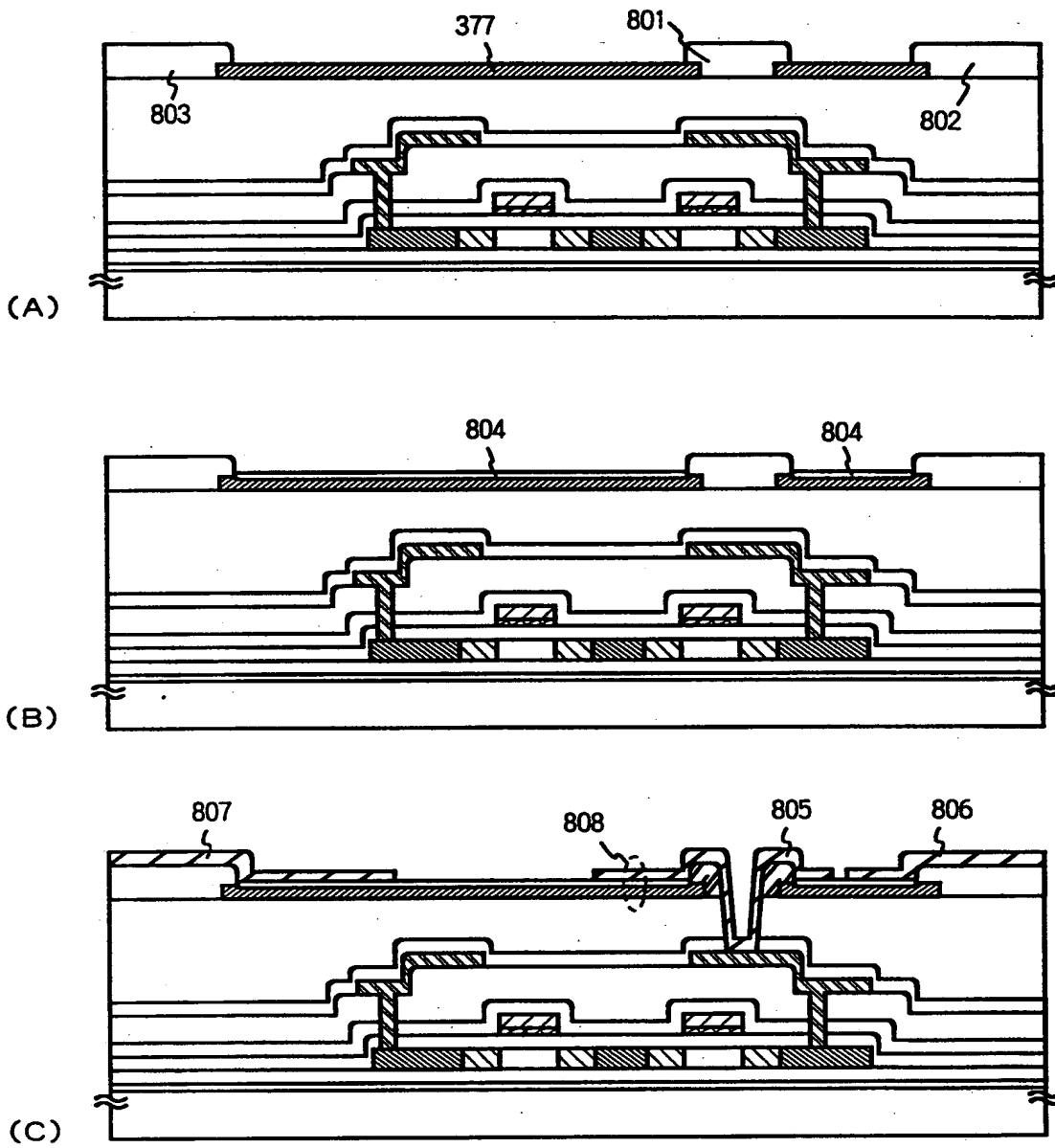
【図 7】



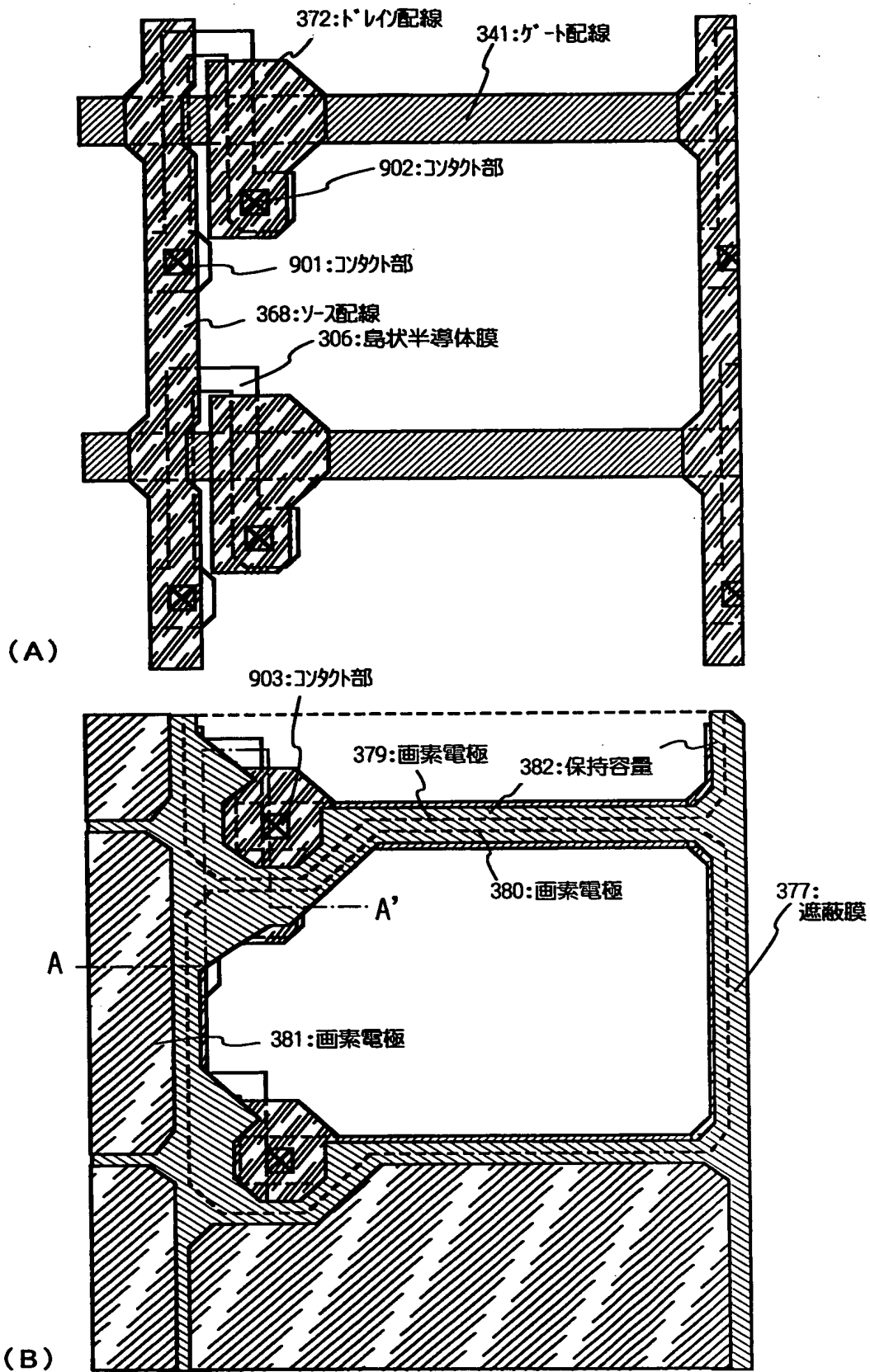
701:n 昇圧型 TFT

画素マトリクス回路

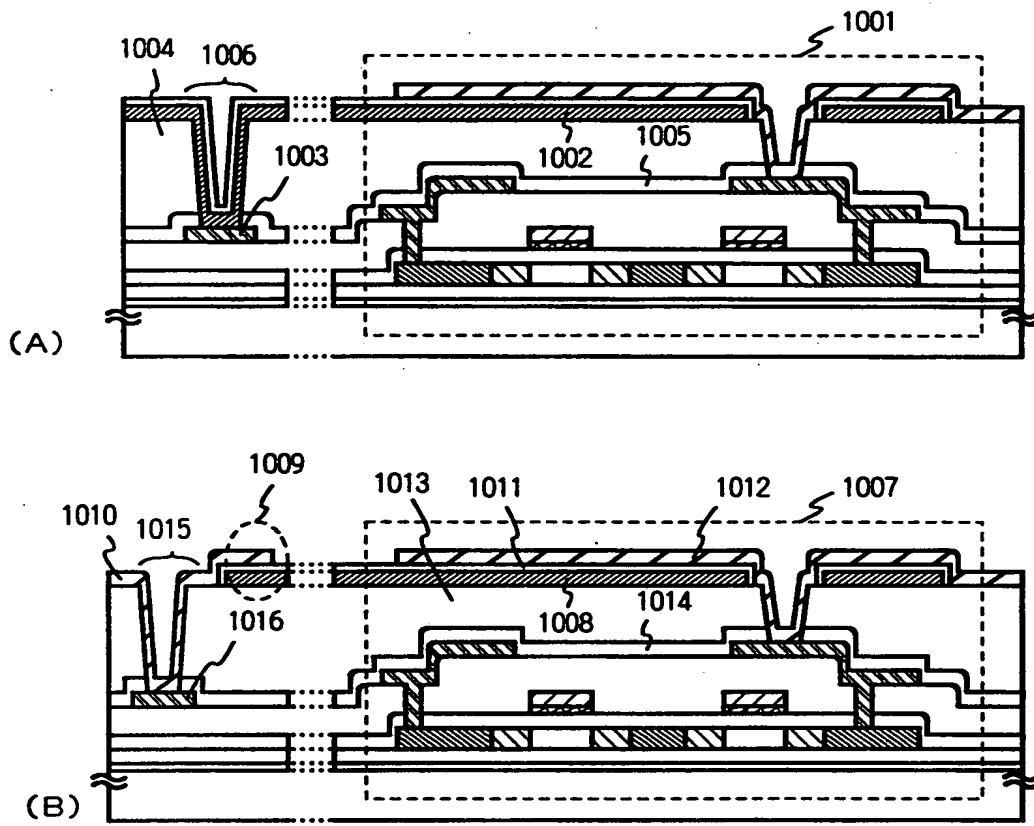
【図 8】



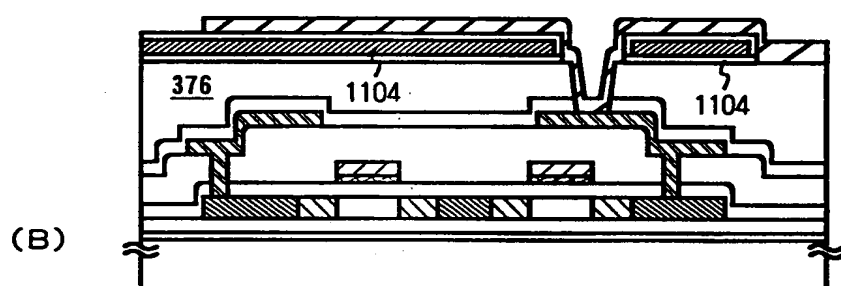
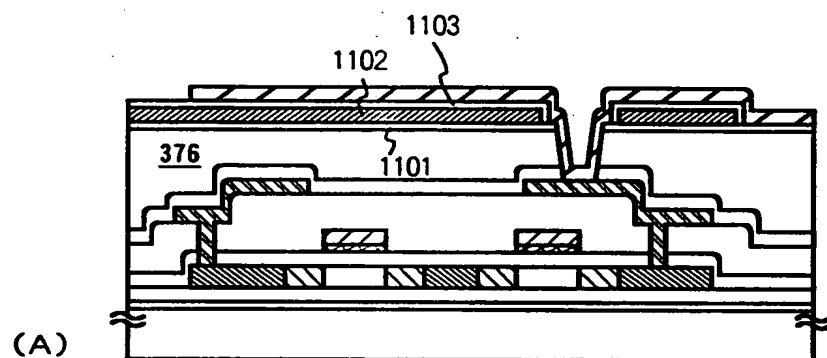
【図 9】



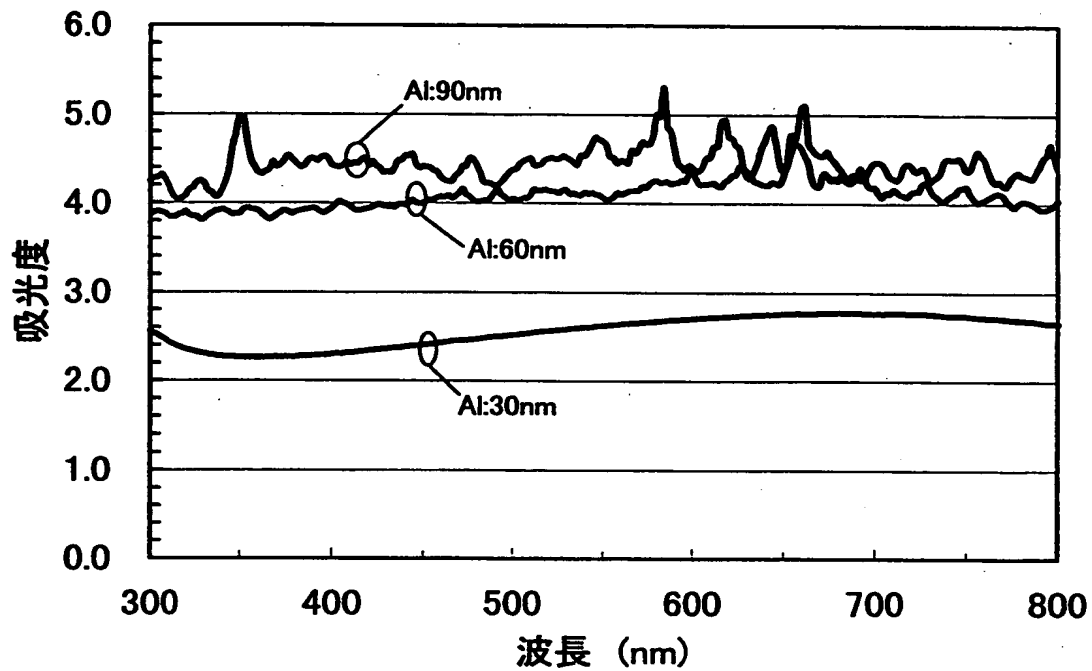
【図 10】



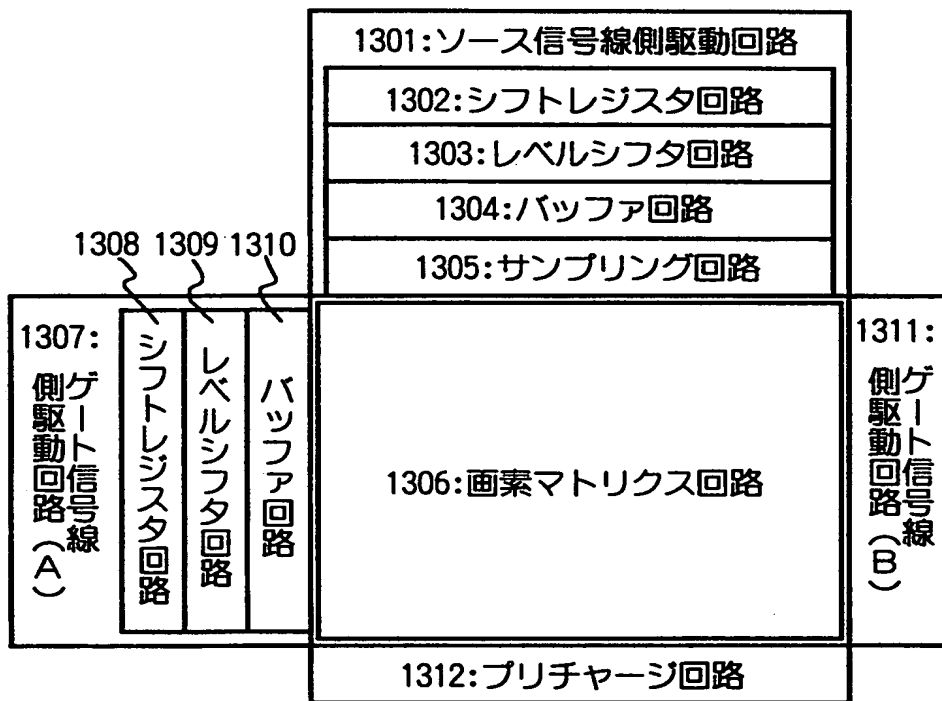
【図 1-1】



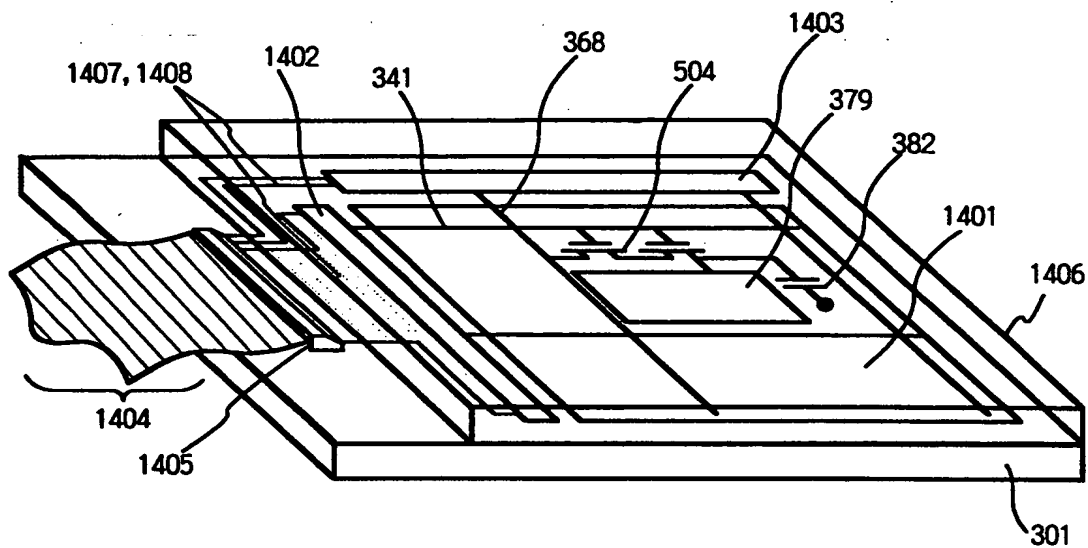
【図 1.2】



【図 1.3】

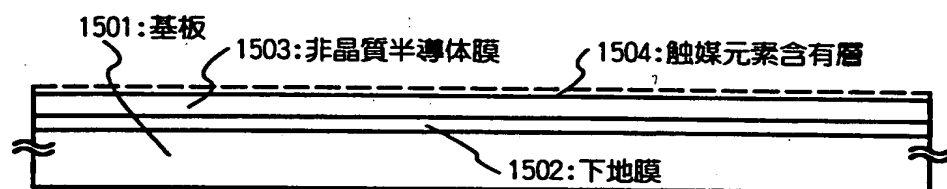


【図 14】

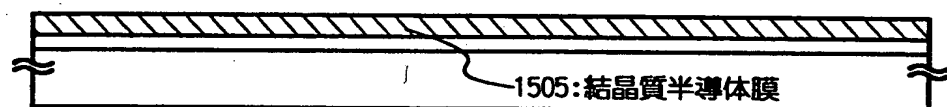


アクティブマトリクス基板  
 301 : 基板 341 : ゲート配線 368 : ソース配線  
 379 : 画素電極 382 : 保持容量  
 504 : 画素TFT  
 1401 : 画素マトリクス回路  
 1402 : 走査線駆動回路 1403 : 信号線駆動回路  
 1404 : FPC 1405 : 外部入出力端子 1406 : 対向基板  
 1407, 1408 : 配線

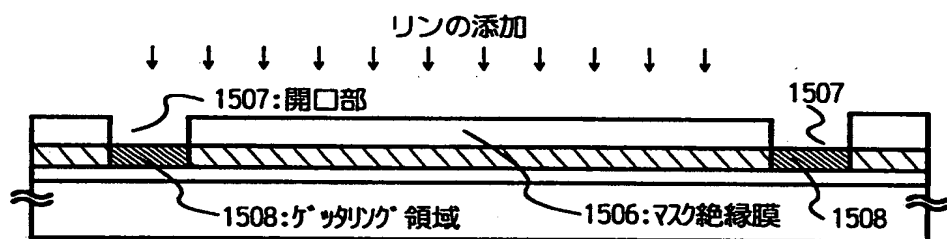
【図 15】



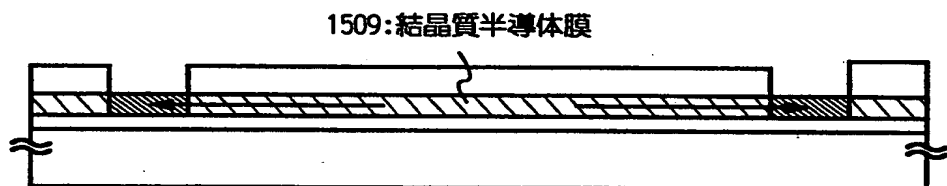
(A) 下地膜、非晶質半導体膜の形成



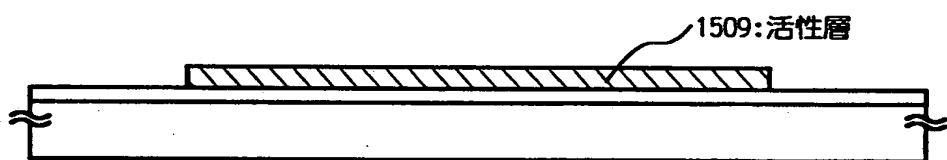
(B) 結晶化工程



(C) リフト-オフ工程



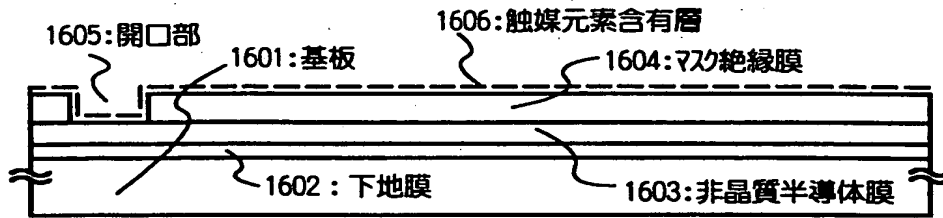
(D) ゲッタリング工程



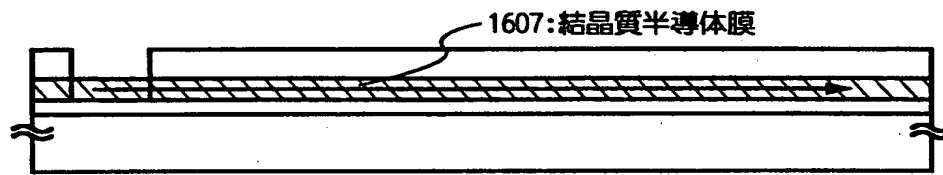
(E) 活性層の形成



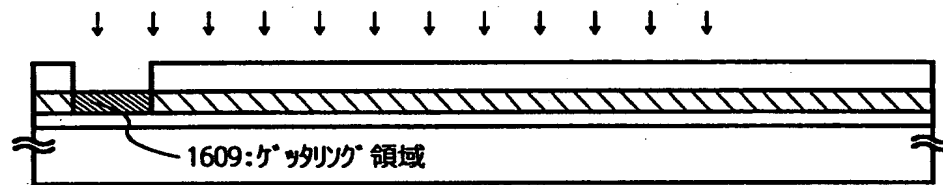
【図 1 6】



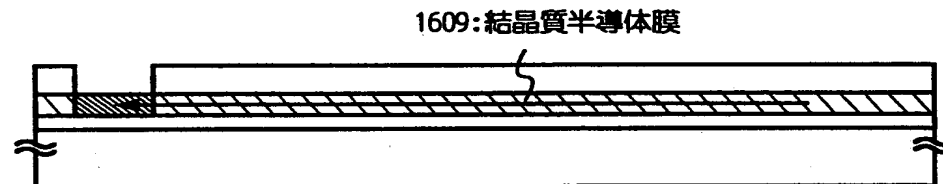
(A) 触媒元素を添加する工程



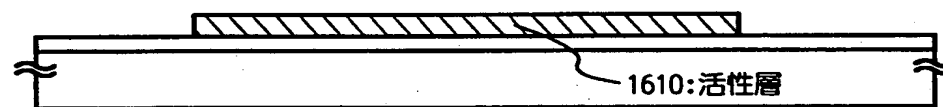
(B) 結晶化工程



(C) リフト・オフ工程

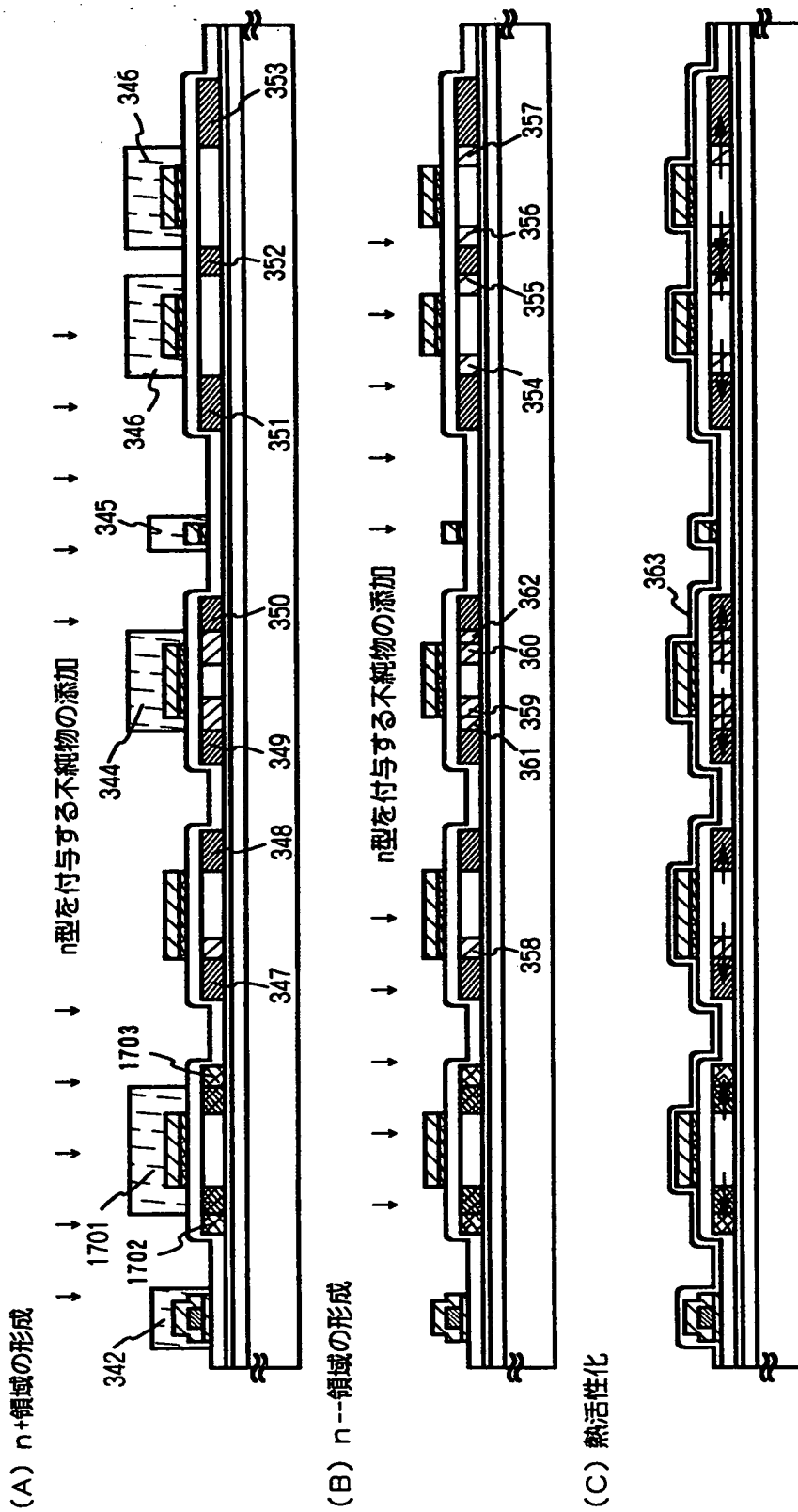


(D) ゲッタリング工程

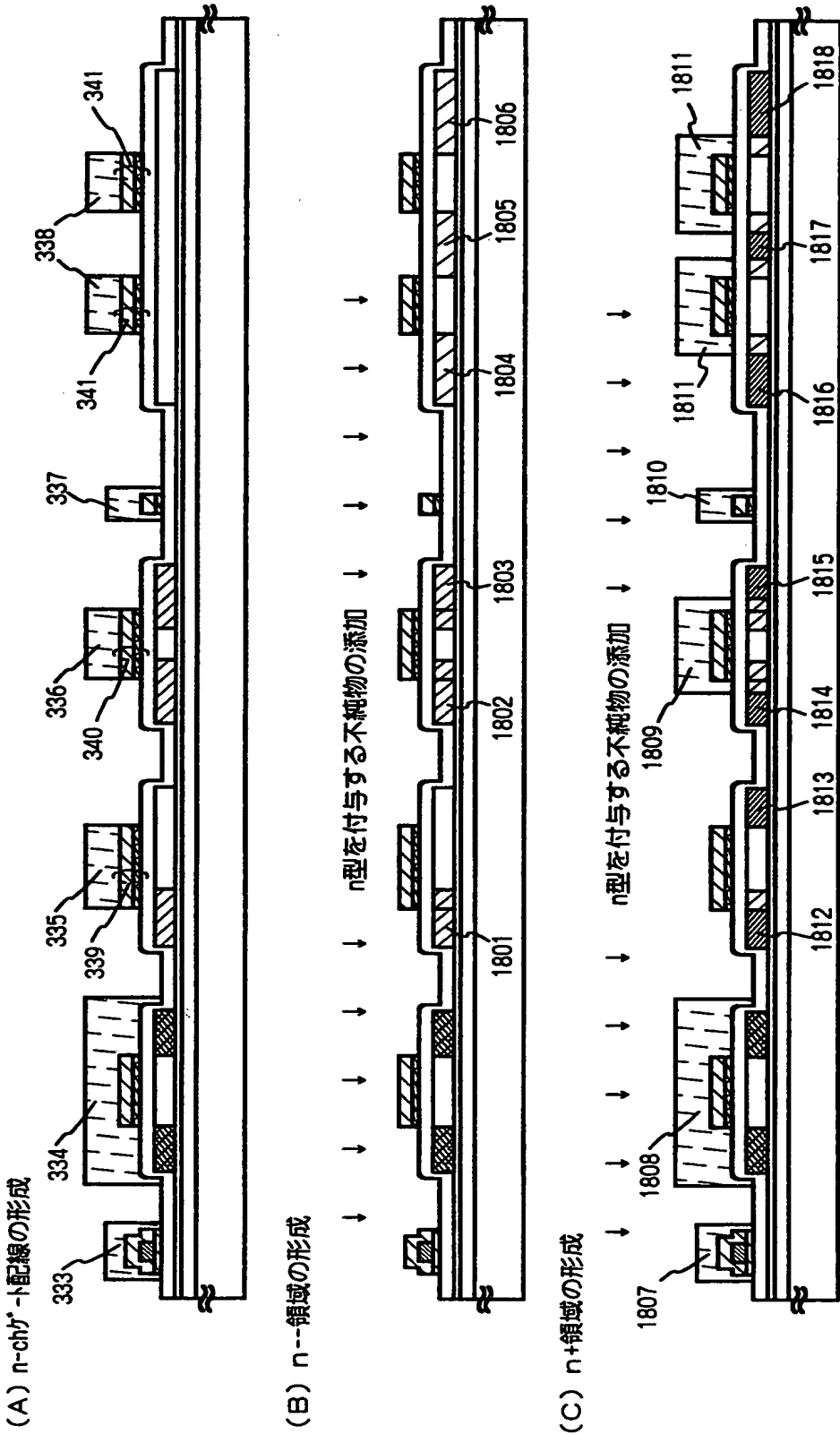


(E) 活性層の形成

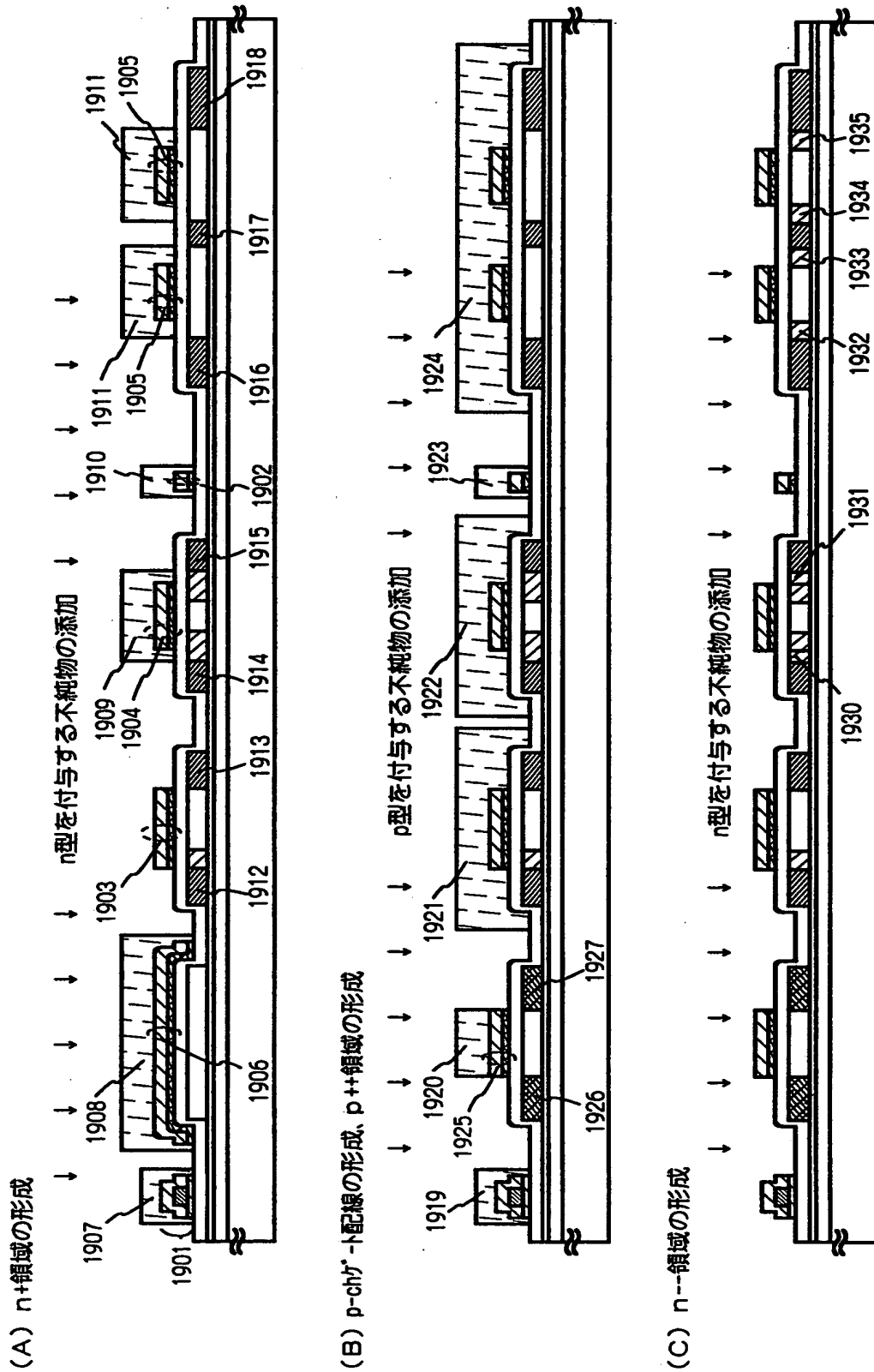
【図 1 7】



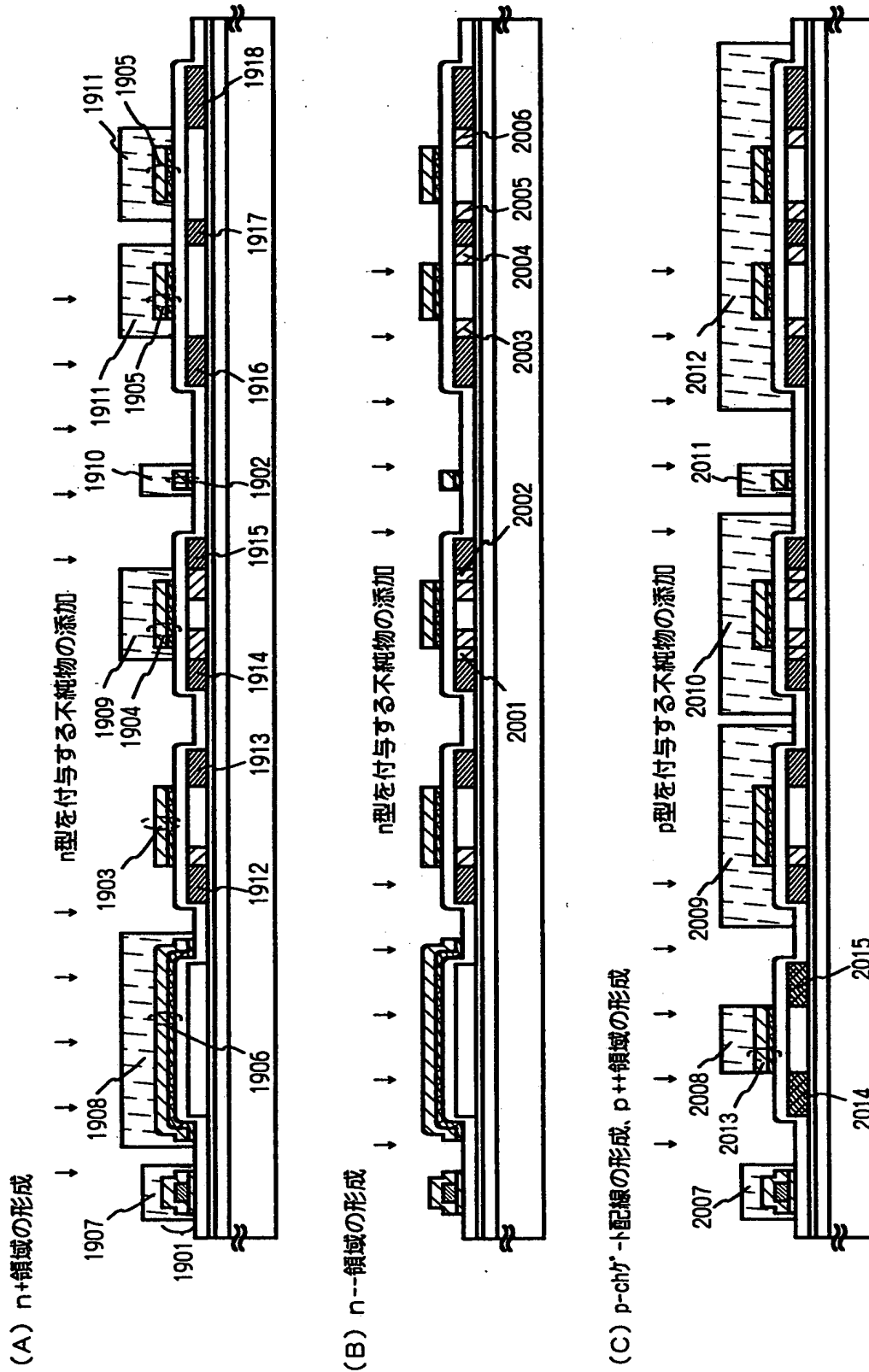
【図 1 8】



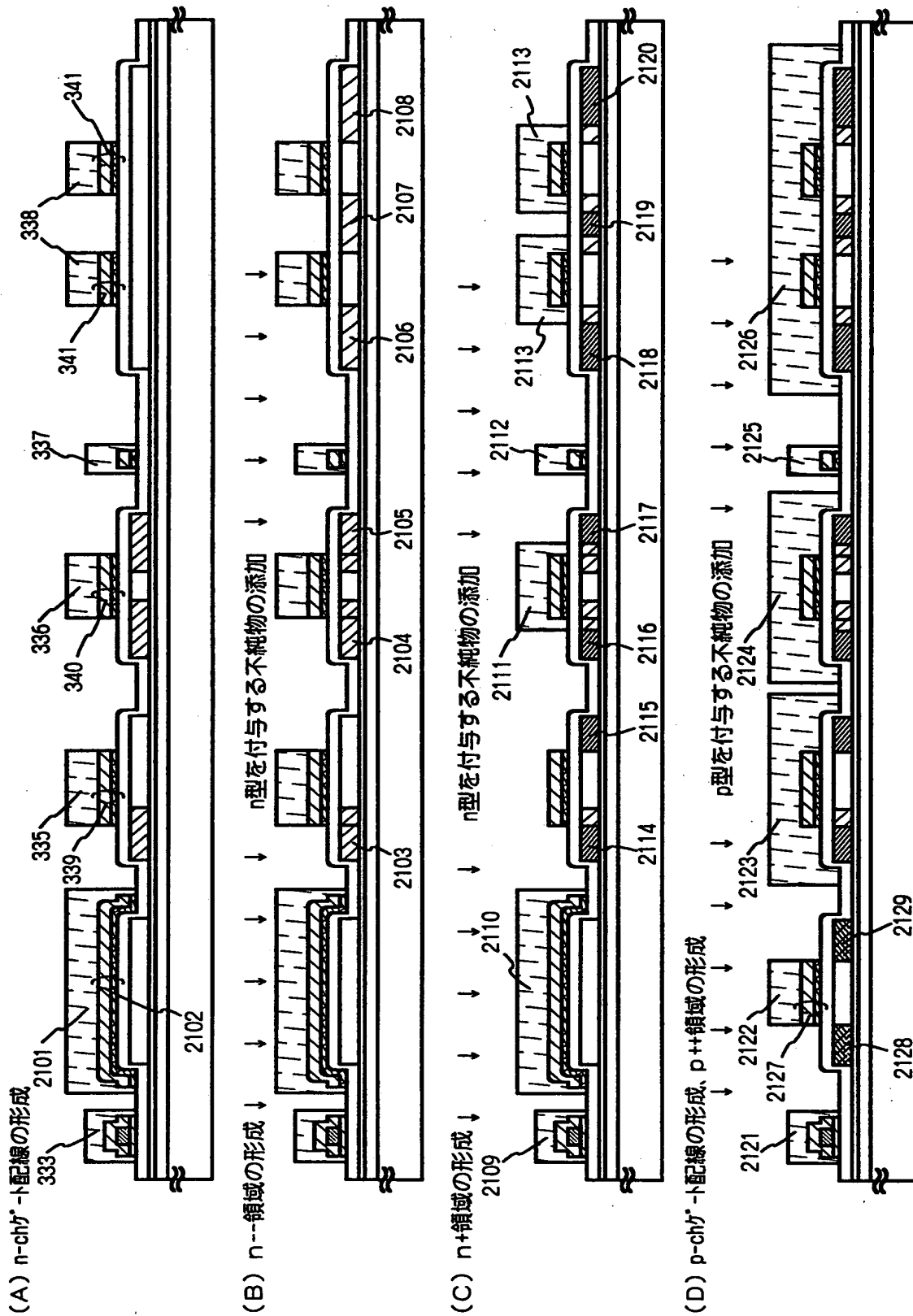
【図 1 9】



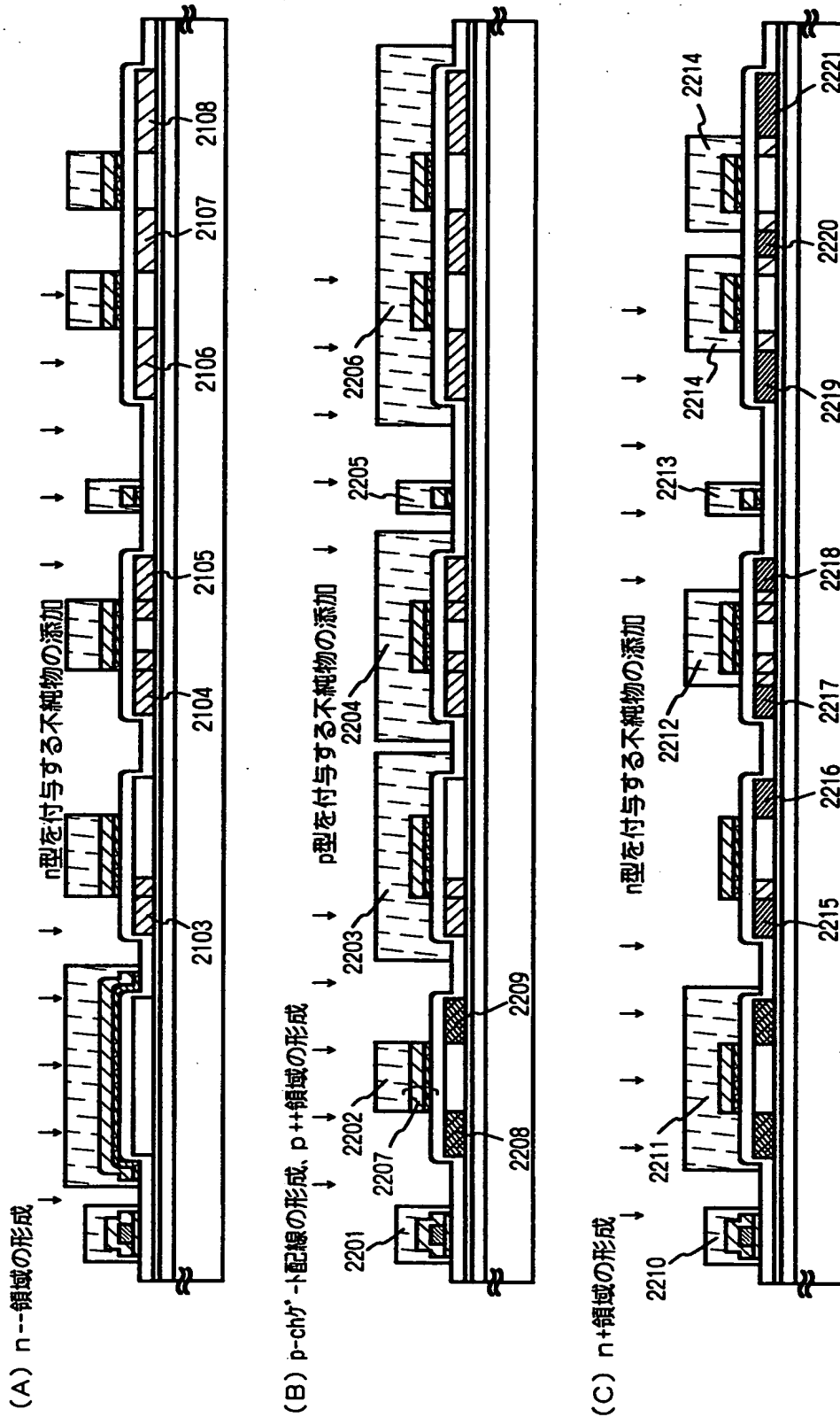
【図 2 0】



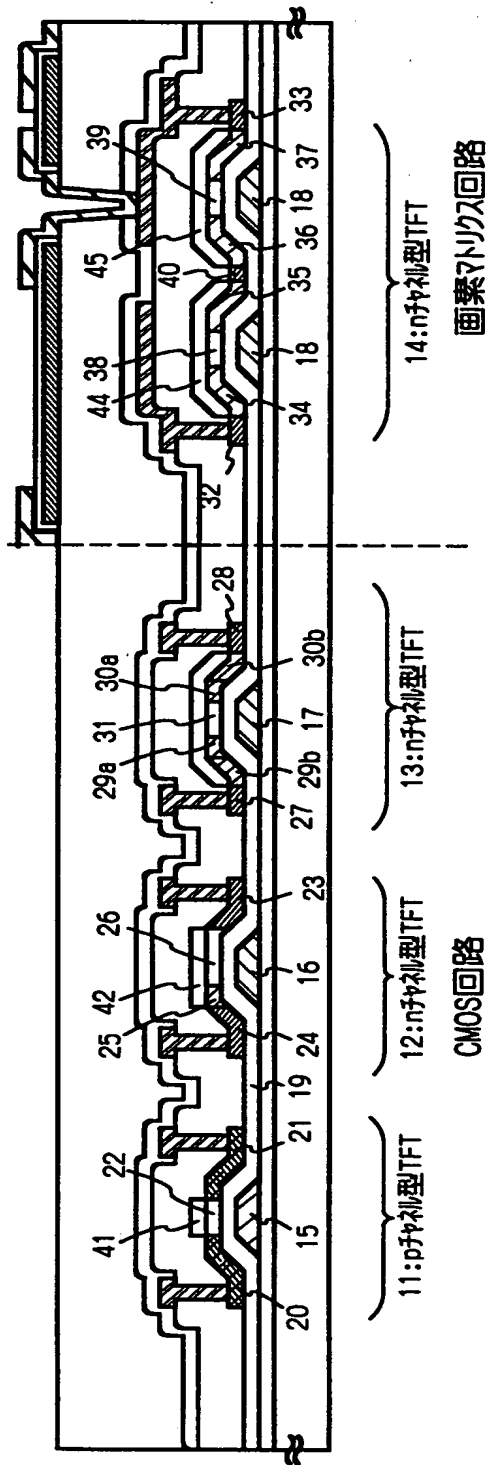
【図 2 1】



【図 22】



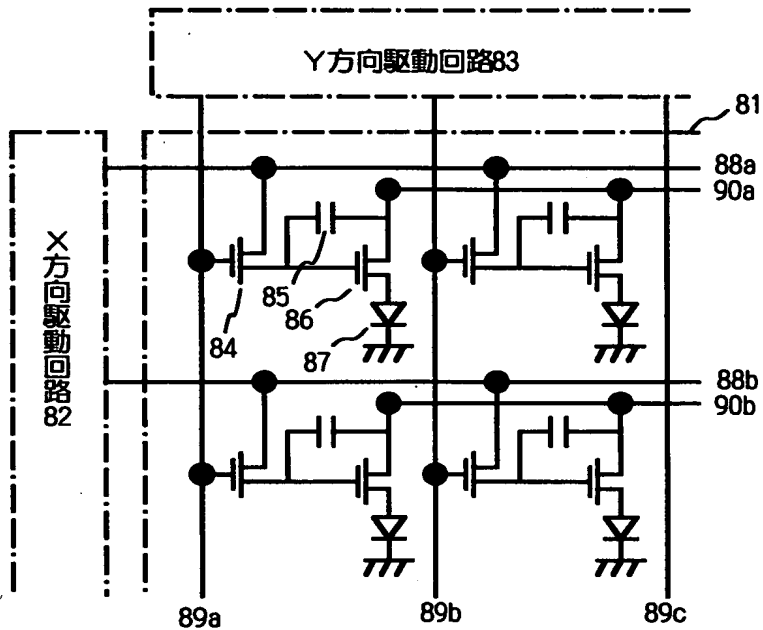
【図 2 3】





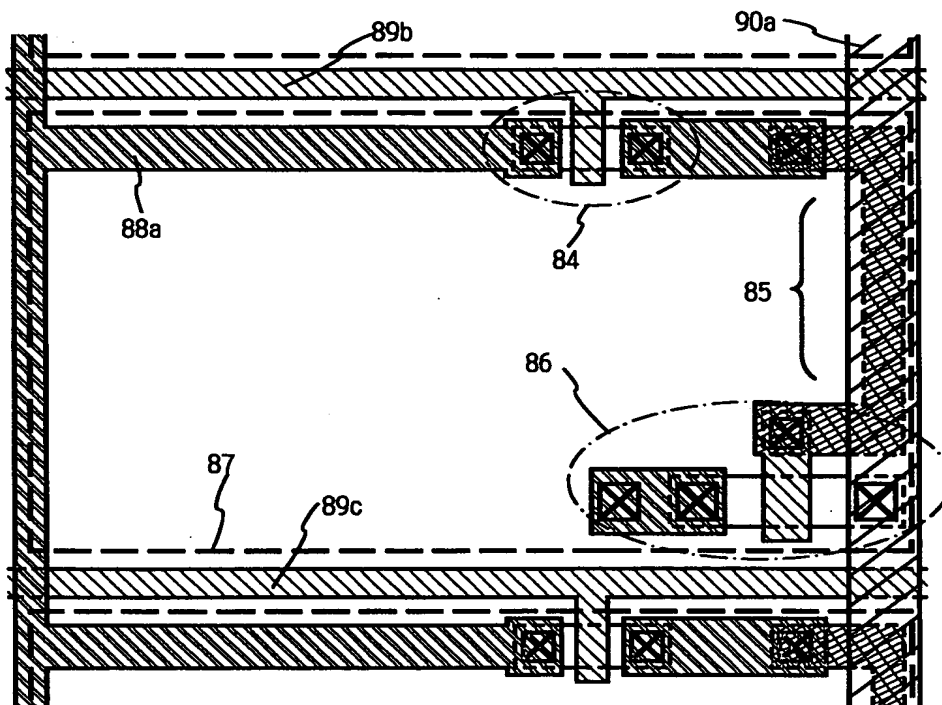
【図 2 4】

(A) ELパネル回路図

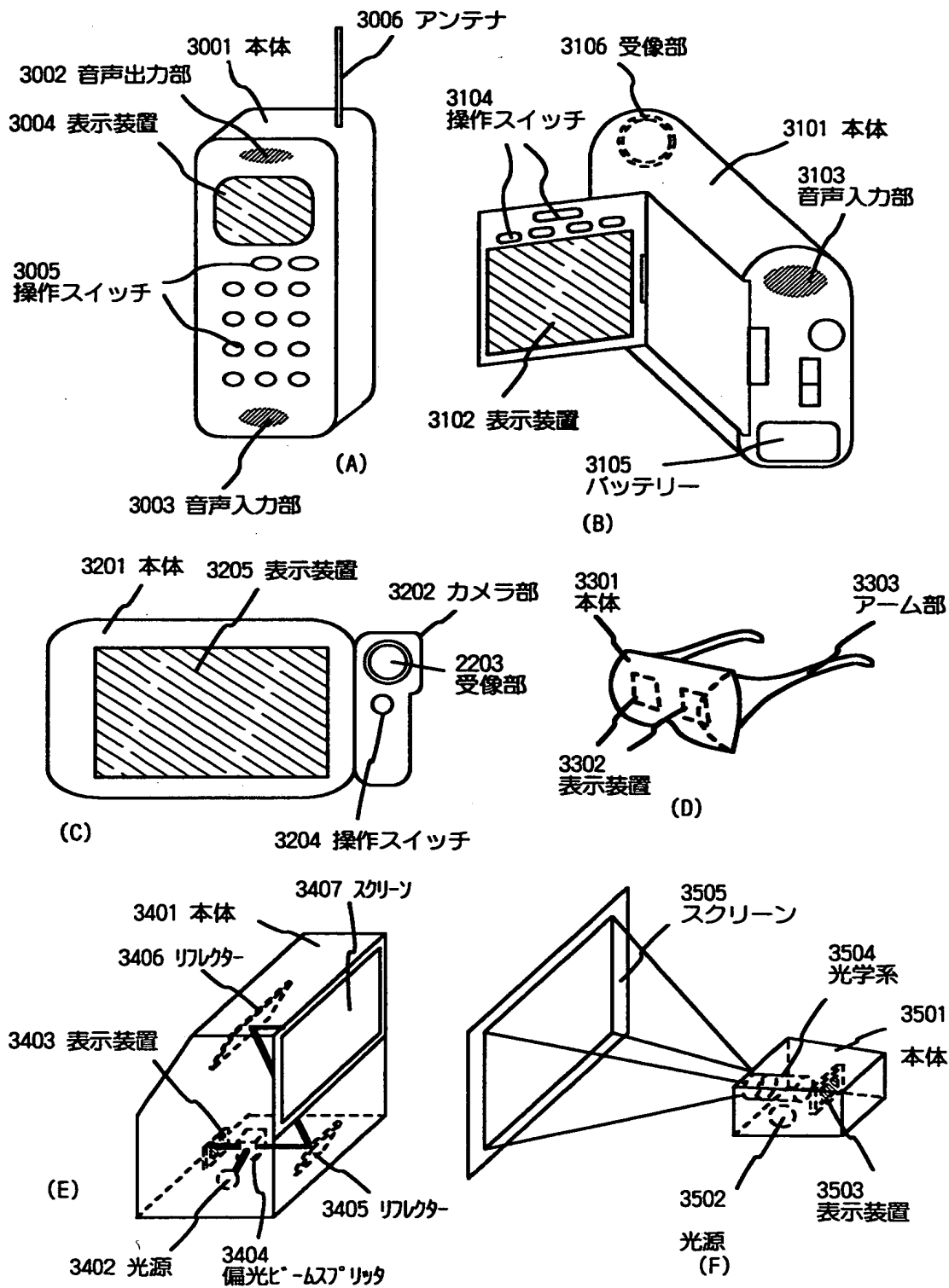


81:表示領域 82:X方向駆動回路 83:Y方向駆動回路  
 84:スイッチ用TFT 85:保持容量 86:電流制御用TFT 87:有機EL素子  
 88a, 88b:X方向信号線 89a~89c:Y方向信号線 90a, 90b:電源線

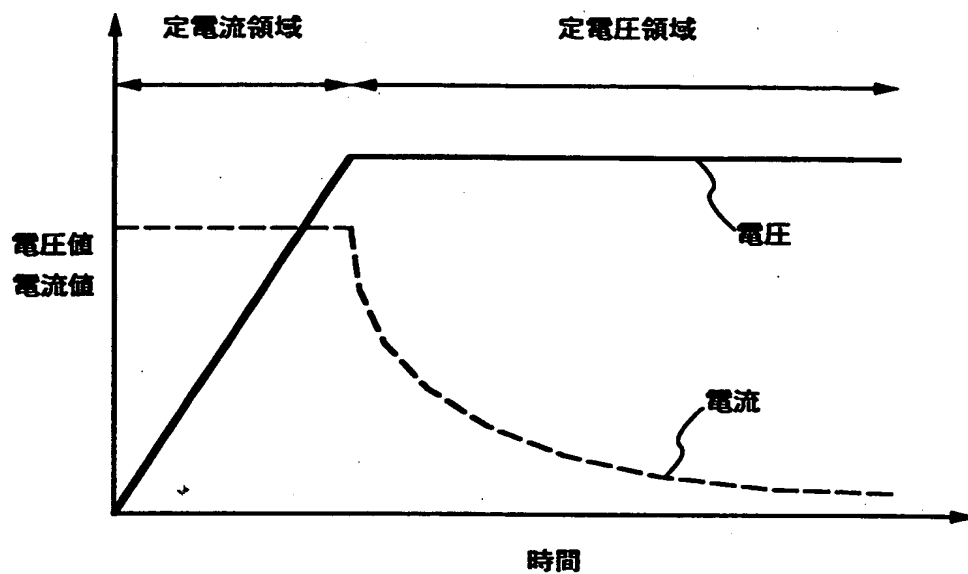
(B) ELパネル画素部上面図



【図 2 5】



【図 2 6】

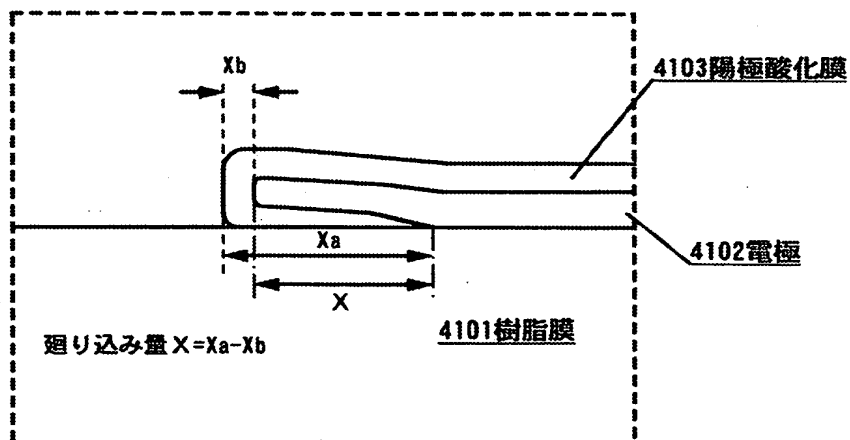


従来の陽極酸化工程における、電極間の電圧と電流の関係を示す図

【図 27】



(A) SEM観察写真(断面)



(B) 電極端部における拡大模式図

【書類名】 要約書

【要約】

【課題】 動作性能および信頼性の高い半導体装置を提供する。

【解決手段】 有機樹脂膜 3 7 6 上に、陽極酸化可能な材料からなる電極 3 7 7、3 7 8 と、その陽極酸化膜 3 7 8 と、その上の画素電極 3 7 9 ~ 3 8 2 とで画素容量を形成する。この陽極酸化膜は、単位時間当たりの印加電圧が  $1.5 \text{ V/min}$  で陽極酸化され、電極配線の回り込みがないため、膜剥がれを防止できる。

【選択図】 図 5

特平11-053424

出 願 人 履 歴 情 報

識別番号

[000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地

氏 名 株式会社半導体エネルギー研究所